

DIALOG(R)File 352:Derwent WPI  
(c) 2001 Derwent Info Ltd. All rts. reserv.

013365555      \*\*Image available\*\*

WPI Acc No: 2000-537494/200049

XRPX Acc No: N00-398096

**Thin film transistor formation method for active matrix type LCD, involves adding catalyst of specific density to outermost doped area surrounding channel formation area, for crystallization of activated layer**

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME )

Number of Countries: 001    Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<b>JP 2000208778</b>	A	20000728	JP 99320346	A	19991110	200049 B

Priority Applications (No Type Date): JP 98336562 A 19981110; JP 98319671 A 19981110

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 2000208778 A		37		H01L-029/786	

**Abstract (Basic): JP 2000208778 A**

NOVELTY - Three impurity doped areas around channel formation areas of NTFT and PTFT of CMOS circuit, are formed. First impurity area of NTFT overlaps with side wall on its wiring, contacting insulating film formed over activated layer. A catalyst of density  $31 \times 10^{17}$ - $1 \times 10^{20}$  atoms/cm<sup>2</sup> for crystallization of activated layer is mixed in impurity area farthest from channel formation areas in NTFT and PTFT.

USE - For active matrix type liquid crystal display.

ADVANTAGE - Enhances electrical characteristics of TFT, thereby improving reliability.

DESCRIPTION OF DRAWING(S) - The figure shows sectional view of CMOSFET.

pp; 37 DwgNo 1/39

Title Terms: THIN; FILM; TRANSISTOR; FORMATION; METHOD; ACTIVE; MATRIX; TYPE; LCD; ADD; CATALYST; SPECIFIC; DENSITY; OUTER; DOPE; AREA; SURROUND; CHANNEL; FORMATION; AREA; ACTIVATE; LAYER

Derwent Class: U11; U12

International Patent Class (Main): H01L-029/786

International Patent Class (Additional): H01L-021/20; H01L-021/336

File Segment: EPI

DIALOG(R)File 347:JAPIO  
(c) 2001 JPO & JAPIO. All rts. reserv.

06622967      \*\*Image available\*\*

SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

PUB. NO.:            **2000-208778** [JP 2000208778 A]  
PUBLISHED:        July 28, 2000 (20000728)  
INVENTOR(s):      YAMAZAKI SHUNPEI  
                     OTANI HISASHI  
                     HAMAYA TOSHIJI  
APPLICANT(s):     SEMICONDUCTOR ENERGY LAB CO LTD  
APPL. NO.:        11-320346 [JP 99320346]  
FILED:             November 10, 1999 (19991110)  
PRIORITY:         10-319671 [JP 98319671], JP (Japan), November 10, 1998 (19981110)  
                     10-336562 [JP 98336562], JP (Japan), November 10, 1998 (19981110)  
INTL CLASS:        H01L-029/786; H01L-021/20; H01L-021/336

**ABSTRACT**

**PROBLEM TO BE SOLVED:** To provide a semiconductor device of high reliability by forming a concentration gradient at an LDD part seen in MOSFET from a plurality of impurity regions.

**SOLUTION:** The active layer of NTFT is formed of a channel forming region 102, first impurity region 103, second impurity region 104, and third impurity region 105. Here, the impurity concentration of each impurity region is set higher receding from the channel formation region 102. Furthermore, the first impurity region 102 is provided so as to overlap a sidewall 108, providing a substantial gate overlap structure with the sidewall 108 functioning as an electrode.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-208778  
(P2000-208778A)

(43) 公開日 平成12年7月28日 (2000.7.28)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
H 0 1 L 29/786		H 0 1 L 29/78	6 1 3 A
21/20		21/20	
21/336		29/78	6 1 6 A
			6 1 8 F
			6 2 7 G
審査請求 未請求 請求項の数30 O L (全 37 頁)			

(21) 出願番号 特願平11-320346

(22) 出願日 平成11年11月10日 (1999. 11. 10)

(31) 優先権主張番号 特願平10-319671

(32) 優先日 平成10年11月10日 (1998. 11. 10)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平10-336562

(32) 優先日 平成10年11月10日 (1998. 11. 10)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 大谷 久

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 浜谷 敏次

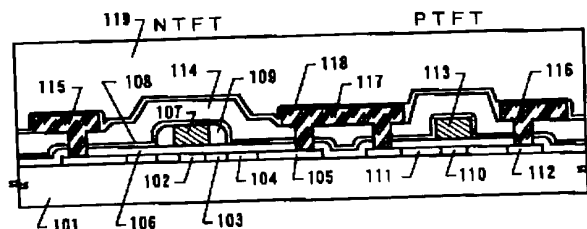
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 信頼性の高い半導体装置を実現する。

【解決手段】 N T F T の活性層をチャネル形成領域 1 0 2、第 1 不純物領域 1 0 3、第 2 不純物領域 1 0 4 及び第 3 不純物領域 1 0 5 で形成する。この時、各不純物領域の不純物濃度はチャネル形成領域 1 0 2 から遠くなるほど高くなるように設けられる。さらに、第 1 不純物領域 1 0 2 はサイドウォール 1 0 8 と重なるように配置され、サイドウォール 1 0 8 を電極として機能させることで実質的なゲートオーバーラップ構造を実現する。



101: 基板、102、110: チャネル形成領域、103: 第 1 不純物領域 (n-)  
104: 第 2 不純物領域 (n)、105: 第 3 不純物領域 (nt)  
106、113: ゲート絶縁膜、107、114: ゲート配線、108: 窒化シリコン膜  
109: 第 1 不純物領域 (p+), 111: 第 4 不純物領域 (p+)  
112: 第 5 不純物領域 (nt、p+), 114: 第 1 層間絶縁膜  
115、116: シェド配線、117: ドレイン配線、118: 窒化シリコン膜  
119: 第 2 層間絶縁膜

## 【特許請求の範囲】

【請求項1】 活性層と、前記活性層に接した絶縁膜と、前記絶縁膜に接した配線とを有するNTF T及びPTF TとなるCMOS回路を含む半導体装置であって、前記NTF Tのみ前記配線の側部にサイドウォールを有し、前記NTF Tの活性層は、チャネル形成領域と、異なる濃度で15族に属する元素を含む少なくとも三種類の不純物領域とを含み、前記少なくとも三種類の不純物領域のうち、前記チャネル形成領域と接する不純物領域は、前記絶縁膜を介して前記サイドウォールと重なっており、前記PTF Tの活性層は、チャネル形成領域と、同一濃度で13族に属する元素を含む二種類の不純物領域とを含み、前記NTF T及び前記PTF Tともに、前記チャネル形成領域から最も遠い不純物領域には、前記活性層の結晶化に用いた触媒元素が $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の濃度で存在することを特徴とする半導体装置。

【請求項2】 活性層と、前記活性層に接した絶縁膜と、前記絶縁膜に接した配線とを有するNTF T及びPTF TとなるCMOS回路を含む半導体装置であって、前記NTF Tのみ前記配線の側部にサイドウォールを有し、前記NTF Tの活性層は、チャネル形成領域、第1不純物領域、第2不純物領域、第3不純物領域の順に並んだ構造を有し、前記第1不純物領域、前記第2不純物領域及び前記第3不純物領域は各々異なる濃度で15族に属する元素を含み、前記第1不純物領域は前記絶縁膜を介して前記サイドウォールと重なっており、前記PTF Tの活性層は、チャネル形成領域、第4不純物領域及び第5不純物領域の順に並んだ構造を有し、前記第4不純物領域及び第5不純物領域は各々同一濃度で13族に属する元素を含み、前記第3不純物領域及び前記第5不純物領域には、前記活性層の結晶化に用いた触媒元素が $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の濃度で存在することを特徴とする半導体装置。

【請求項3】 活性層と、前記活性層に接した絶縁膜と、前記絶縁膜に接した配線とを有するNTF T及びPTF TとなるCMOS回路を含む半導体装置であって、前記NTF Tのみ前記配線の側部にサイドウォールを有し、前記NTF Tの活性層は、チャネル形成領域と、異なる濃度で15族に属する元素を含む少なくとも三種類の不純物領域とを含み、前記少なくとも三種類の不純物領域は、前記チャネル形成領域からの距離が遠いほど前記15族に属する元素の

濃度が高く、

前記PTF Tの活性層は、チャネル形成領域と、同一濃度で13族に属する元素を含む二種類の不純物領域とを含み、

前記NTF T及び前記PTF Tともに、前記チャネル形成領域から最も遠い不純物領域には、前記活性層の結晶化に用いた触媒元素が $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の濃度で存在することを特徴とする半導体装置。

【請求項4】 活性層と、前記活性層に接した絶縁膜と、前記絶縁膜に接した配線とを有するNTF T及びPTF TとなるCMOS回路を含む半導体装置であって、前記NTF Tのみ前記配線の側部にサイドウォールを有し、

前記NTF Tの活性層は、チャネル形成領域、第1不純物領域、第2不純物領域、第3不純物領域の順に並んだ構造を有し、

前記第1不純物領域、前記第2不純物領域及び前記第3不純物領域は各々異なる濃度で同一の不純物を含み、前記第1不純物領域、前記第2不純物領域、前記第3不純物領域の順に前記不純物の濃度が高く、

前記PTF Tの活性層は、チャネル形成領域、第4不純物領域及び第5不純物領域の順に並んだ構造を有し、前記第4不純物領域及び第5不純物領域は各々同一濃度で13族に属する元素を含み、

前記第3不純物領域及び前記第5不純物領域には、前記活性層の結晶化に用いた触媒元素が $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の濃度で存在することを特徴とする半導体装置。

【請求項5】 請求項1乃至4のいずれか一において、前記活性層は単結晶半導体薄膜であることを特徴とする半導体装置。

【請求項6】 請求項1乃至4のいずれか一において、前記触媒元素とはNi、Ge、Co、Fe、Pd、Sn、Pb、Pt、Cu、AuまたはSiから選ばれた一種または複数種の元素であることを特徴とする半導体装置。

【請求項7】 請求項1乃至4のいずれか一において、前記配線の少なくとも一部は窒化シリコン膜で覆われていることを特徴とする半導体装置。

【請求項8】 請求項1乃至4のいずれか一において、前記サイドウォールはシリコンを主成分とする材料で形成されていることを特徴とする半導体装置。

【請求項9】 請求項1または請求項3において、前記NTF T及び前記PTF Tの前記触媒元素が存在する不純物領域には、前記15族に属する元素が互いに同一濃度で存在することを特徴とする半導体装置。

【請求項10】 請求項2または請求項4において、前記第3不純物領域及び前記第5不純物領域には前記15族に属する元素が互いに同一濃度で存在することを特徴とする半導体装置。

【請求項11】 請求項10において、前記15族に属す

る元素の濃度は前記第5不純物領域に存在する前記13族に属する元素の濃度よりも低いことを特徴とする半導体装置。

【請求項12】請求項2または請求項4において、前記第1不純物領域に含まれる前記不純物の濃度は $1 \times 10^{15} \sim 1 \times 10^{17} \text{ atoms/cm}^3$ であり、前記第2不純物領域に含まれる前記不純物の濃度は $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ であることを特徴とする半導体装置。

【請求項13】請求項1乃至11のいずれかにおいて、前記半導体装置とは液晶表示パネル、EL表示装置またはイメージセンサであることを特徴とする半導体装置。

【請求項14】請求項1乃至11のいずれかにおいて、前記半導体装置とはビデオカメラ、デジタルカメラ、プロジェクター、ゴーグル型ディスプレイ、カーナビゲーション、パーソナルコンピュータまたは携帯情報端末であることを特徴とする半導体装置。

【請求項15】絶縁表面を有する基板上に触媒元素を用いて結晶を含む半導体膜を形成する第1工程と、前記結晶を含む半導体膜をパターンニングして第1活性層及び第2活性層を形成する第2工程と、前記第1活性層及び前記第2活性層の上に絶縁膜を形成する第3工程と、前記絶縁膜の上に配線を形成する第4工程と、前記配線をマスクとして、前記第1活性層及び前記第2活性層に15族に属する元素を添加する第5工程と、前記配線の側部にサイドウォールを形成する第6工程と、前記配線及び前記サイドウォールをマスクとして、前記第1活性層及び前記第2活性層に15族に属する元素を添加する第7工程と、前記第1活性層の上にレジストマスクを形成し、前記第2活性層に13族に属する元素を添加する第8工程と、前記第1活性層及び前記第2活性層の上にレジストマスクを形成し、前記第1活性層の一部及び前記第2活性層の一部に15族に属する元素を添加する第9工程と、窒化シリコン膜を形成する第10工程と、熱処理により、前記第1活性層の一部及び前記第2活性層の一部に前記触媒元素を移動させる第11工程と、を有することを特徴とする半導体装置の作製方法。

【請求項16】請求項15において、前記第9工程で添加される前記15族に属する元素の濃度は、前記第8工程で添加される前記13族に属する元素の濃度よりも低いことを特徴とする半導体装置の作製方法。

【請求項17】請求項15において、前記サイドウォールはシリコンを主成分とする材料で形成されることを特徴とする半導体装置の作製方法。

【請求項18】請求項15において、前記結晶を含む半導体膜は単結晶半導体薄膜であることを特徴とする半導体装置の作製方法。

【請求項19】請求項15において、最終的に、前記第1活性層にはチャネル形成領域と、15族に属する元素を含む第1不純物領域、第2不純物領域及び第3不純物領域が形成され、

前記第2活性層にはチャネル形成領域と、同一濃度で13族に属する元素を含む第4不純物領域及び第5不純物領域が形成され、

前記第5不純物領域には、前記第3不純物領域と同濃度で15族に属する元素が含まれていることを特徴とする半導体装置の作製方法。

【請求項20】請求項19において、前記第1不純物領域、前記第2不純物領域、前記第3不純物領域の順に前記15族に属する元素の濃度を高くすることを特徴とする半導体装置の作製方法。

【請求項21】絶縁表面を有する基板上に、結晶化を助長する触媒元素を含む活性層を形成する第1工程と、前記活性層の上に第1絶縁膜を形成する第2工程と、前記第1絶縁膜の上に配線を形成する第3工程と、前記配線をマスクとして、前記活性層に15族に属する元素を添加する第4工程と、前記配線の側部にサイドウォールを形成する第5工程と、前記配線及び前記サイドウォールをマスクとして、前記活性層に15族に属する元素を添加する第6工程と、前記第1絶縁膜の一部を除去し、前記第6工程で形成された前記活性層の一部を露呈させる第7工程と、前記第7工程で露呈した活性層に15族に属する元素を添加する第8工程と、前記配線の一部に接して第2絶縁膜を形成する第9工程と、前記活性層中の触媒元素の濃度を低減する熱処理を施す第10工程と、を有することを特徴とする半導体装置の作製方法。

【請求項22】絶縁表面を有する基板上に、結晶化を助長する触媒元素を含む第1活性層及び第2活性層を形成する第1工程と、前記第1活性層及び前記第2活性層の上に第1絶縁膜を形成する第2工程と、前記第1絶縁膜の上に配線を形成する第3工程と、前記配線をマスクとして、前記第1活性層及び前記第2活性層に15族に属する元素を添加する第4工程と、前記配線の側部にサイドウォールを形成する第5工程と、前記配線及び前記サイドウォールをマスクとして、前記第1活性層及び前記第2活性層に15族に属する元素を添加する第6工程と、前記第1絶縁膜を選択的に除去し、前記第6工程で形成された前記第1活性層の一部及び前記第2活性層の一部を露呈させる第7工程と、前記第7工程で露呈した前記第1活性層及び前記第2活

性層に15族に属する元素を添加する第8工程と、前記配線の上部に接して第2絶縁膜を形成する第9工程と、前記第1活性層及び前記第2活性層中の触媒元素の濃度を低減する熱処理を施す第10工程と、前記第2絶縁膜を選択的に除去し、第10工程で形成された第2活性層の一部を露呈させる第11工程と、前記第11工程で露呈した前記第2活性層を除去する第12工程と、前記1絶縁膜を選択的に除去し、前記第2活性層の一部を露呈させる第13工程と、前記第13工程で露呈した前記第2活性層に13族に属する元素を添加する第14工程と、を有することを特徴とする半導体装置の作製方法。

【請求項23】請求項22において、最終的に、前記第1活性層にはチャンネル形成領域と、異なる濃度で前記15族に属する元素を含む少なくとも三種類の不純物領域とが形成され、前記第2活性層にはチャンネル形成領域及び第4不純物領域のみが形成されることを特徴とする半導体装置の作製方法。

【請求項24】請求項22において、最終的に、前記第1活性層にはチャンネル形成領域、第1不純物領域、第2不純物領域及び第3不純物領域が形成され、前記第2活性層にはチャンネル形成領域及び第4不純物領域のみが形成されることを特徴とする半導体装置の作製方法。

【請求項25】請求項24において、前記第1不純物領域、前記第2不純物領域、前記第3不純物領域の順に前記15族に属する元素の濃度が高いことを特徴とする半導体装置の作製方法。

【請求項26】請求項21または請求項22において、最終的に、前記第1活性層にはチャンネル形成領域と、異なる濃度で前記15族に属する元素を含む少なくとも三種類の不純物領域とが形成されることを特徴とする半導体装置の作製方法。

【請求項27】請求項24または請求項25において、前記サイドウォールは前記第1不純物領域の上方に形成されることを特徴とする半導体装置の作製方法。

【請求項28】請求項24または請求項25において、前記第1不純物領域、前記第2不純物領域、前記第3不純物領域の順に前記15族に属する元素の濃度を高くすることを特徴とする半導体装置の作製方法。

【請求項29】請求項15乃至28のいずれかにおいて、前記半導体装置とは液晶表示パネル、EL表示装置またはイメージセンサであることを特徴とする半導体装置の作製方法。

【請求項30】請求項15乃至28のいずれかにおいて、前記半導体装置とはビデオカメラ、デジタルカメラ、プロジェクター、ゴーグル型ディスプレイ、カーナビゲーション、パーソナルコンピュータまたは携帯情報

端末であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本願発明は薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導体装置に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器の構成に関する。なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器も半導体装置である。

【0002】

【従来の技術】近年、ポリシリコン膜を利用したTFTで回路を構成したアクティブマトリクス型液晶表示装置が注目されている。これはマトリクス状に配置された複数の画素によって液晶にかかる電界をマトリクス状に制御し、高精細な画像表示を実現するものである。

【0003】この様なアクティブマトリクス型液晶表示装置は、解像度がXGA、SXGAと高精細になるに従い、画素数だけでも100万個を超えるようになる。そしてその全てを駆動するためのドライバー回路は非常に複雑かつ多くのTFTによって形成される。

【0004】実際の液晶表示装置（液晶パネルともいう）に要求される仕様は厳しく、全ての画素が正常に動作するためには画素、ドライバーともに高い信頼性が確保されなければならない。特に、ドライバー回路で異常が発生すると一列（または一行）の画素が全滅するといった線欠陥と呼ばれる不良を招くことにつながる。

【0005】ところが、ポリシリコン膜を利用したTFTは信頼性の面でまだまだLSIなどに用いられるMOSFET（単結晶半導体基板上に形成されたトランジスタ）に及ばないとされている。そして、この弱点が克服されない限り、TFTでLSI回路を形成することは困難であるとの見方が強まっている。

【0006】本出願人は、MOSFETには信頼性の面で三つの有利点があると考えた。そしてその理由として次のような推論をした。図2（A）に示したのはMOSFETの概略図である。201は単結晶シリコン基板に形成されたドレイン領域、202はLDD（ライトドープドレイン）領域である。また、203はフィールド絶縁膜であり、ゲート配線204の直下はゲート絶縁膜205である。

【0007】この時、信頼性の面で三つの有利点があると考えた。まず第1の有利点は、LDD領域202からドレイン領域201に向かって不純物濃度に勾配がみられる点である。図2（B）に示すように、従来のMOSFETはLDD領域202からドレイン領域201に向かってにつれて次第に不純物濃度が高くなる。この勾配が信頼性を高めるのに効果があると考えた。

【0008】次に第2の有利点は、LDD領域202と

ゲート配線204とがオーバーラップしている点である。この構造はGOLD (gate-drain overlapped LDD) やLATID (large-tilt-angle implanted drain) などが知られている。こうすることでLDD領域202の不純物濃度を低減することが可能となり、電界の緩和効果が大きくなってホットキャリア耐性が高まる。

【0009】次に第3の有利点は、LDD領域202とゲート配線204との間にある程度の距離が存在する点である。これはフィールド絶縁膜203がゲート配線直下に潜り込むような形で形成されることによる。即ち、オーバーラップ部分のみゲート絶縁膜の膜厚が厚くなった状態となるので、効果的な電界緩和が期待できる。

【0010】このように、従来のMOSFETはTFTと比較するといくつかの有利点をもち、その結果、高い信頼性を有すると考えられる。

【0011】また、こういったMOSFETの利点をTFTに応用しようという試みもなされている。例えば、「M. Hatano, H. Akimoto, and T. Sakai, IEDM97 TECHNICAL DIGEST, p523-526, 1997」ではシリコンで形成したサイドウォールを用いてGOLD構造を実現している。

【0012】しかしながら、同論文に公開された構造では通常のLDD構造に比べてオフ電流(TFTがオフ状態にある時に流れる電流)が大きくなってしまおうという問題があり、そのための対策が必要であった。

【0013】

【発明が解決しようとする課題】以上示してきたように、本出願人はTFTとMOSFETとを比較した時に、TFTの構造上の問題が信頼性(特にホットキャリア耐性)に影響していると考えた。

【0014】本願発明はそのような問題点を克服するための技術であり、MOSFETと同等またはそれ以上の信頼性を誇るTFTを実現することを課題とする。そして、そのようなTFTで回路を形成した半導体回路を有する信頼性の高い半導体装置を実現することを課題とするものである。

【0015】

【課題を解決するための手段】本明細書で開示する発明の構成は、活性層と、前記活性層に接した絶縁膜と、前記絶縁膜に接した配線とを有するNTFT及びPTFTとなるCMOS回路を含む半導体装置であって、前記NTFTのみ前記配線の側部にサイドウォールを有し、前記NTFTの活性層は、チャネル形成領域と、異なる濃度で15族に属する元素を含む少なくとも三種類の不純物領域とを含み、前記少なくとも三種類の不純物領域のうち、前記チャネル形成領域と接する不純物領域は、前記絶縁膜を介して前記サイドウォールと重なっており、前記PTFTの活性層は、チャネル形成領域と、同一濃度で13族に属する元素を含む二種類の不純物領域とを含み、前記NTFT及び前記PTFTともに、前記チャネル形成領域から最も遠い不純物領域には、前記活性層

の結晶化に用いた触媒元素が $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の濃度で存在することを特徴とする。

【0016】また、他の発明の構成は、活性層と、前記活性層に接した絶縁膜と、前記絶縁膜に接した配線とを有するNTFT及びPTFTとなるCMOS回路を含む半導体装置であって、前記NTFTのみ前記配線の側部にサイドウォールを有し、前記NTFTの活性層は、チャネル形成領域、第1不純物領域、第2不純物領域、第3不純物領域の順に並んだ構造を有し、前記第1不純物領域、前記第2不純物領域及び前記第3不純物領域は各々異なる濃度で15族に属する元素を含み、前記第1不純物領域は前記絶縁膜を介して前記サイドウォールと重なっており、前記PTFTの活性層は、チャネル形成領域、第4不純物領域及び第5不純物領域の順に並んだ構造を有し、前記第4不純物領域及び第5不純物領域は各々同一濃度で13族に属する元素を含み、前記第3不純物領域及び前記第5不純物領域には、前記活性層の結晶化に用いた触媒元素が $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の濃度で存在することを特徴とする。

【0017】また、他の発明の構成は、活性層と、前記活性層に接した絶縁膜と、前記絶縁膜に接した配線とを有するNTFT及びPTFTとなるCMOS回路を含む半導体装置であって、前記NTFTのみ前記配線の側部にサイドウォールを有し、前記NTFTの活性層は、チャネル形成領域と、異なる濃度で15族に属する元素を含む少なくとも三種類の不純物領域とを含み、前記少なくとも三種類の不純物領域は、前記チャネル形成領域から最も遠いほど前記15族に属する元素の濃度が高く、前記PTFTの活性層は、チャネル形成領域と、同一濃度で13族に属する元素を含む二種類の不純物領域とを含み、前記NTFT及び前記PTFTともに、前記チャネル形成領域から最も遠い不純物領域には、前記活性層の結晶化に用いた触媒元素が $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の濃度で存在することを特徴とする。

【0018】また、他の発明の構成は、活性層と、前記活性層に接した絶縁膜と、前記絶縁膜に接した配線とを有するNTFT及びPTFTとなるCMOS回路を含む半導体装置であって、前記NTFTのみ前記配線の側部にサイドウォールを有し、前記NTFTの活性層は、チャネル形成領域、第1不純物領域、第2不純物領域、第3不純物領域の順に並んだ構造を有し、前記第1不純物領域、前記第2不純物領域及び前記第3不純物領域は各々異なる濃度で同一の不純物を含み、前記第1不純物領域、前記第2不純物領域、前記第3不純物領域の順に前記不純物の濃度が高く、前記PTFTの活性層は、チャネル形成領域、第4不純物領域及び第5不純物領域の順に並んだ構造を有し、前記第4不純物領域及び第5不純物領域は各々同一濃度で13族に属する元素を含み、前記第3不純物領域及び前記第5不純物領域には、前記活性層の結晶化に用いた触媒元素が $1 \times 10^{17} \sim 1 \times 10^{20}$

20atoms/cm<sup>3</sup>の濃度で存在することを特徴とする。

【0019】また、本願発明では活性層の構造（特にNチャネル型TFTの場合）に大きな特徴があり、そのため作製方法にも特徴がある。本願発明を実施するための作製方法に関する発明の構成は、絶縁表面を有する基板上に触媒元素を用いて結晶を含む半導体膜を形成する第1工程と、前記結晶を含む半導体膜をバターンニングして第1活性層及び第2活性層を形成する第2工程と、前記第1活性層及び前記第2活性層の上に絶縁膜を形成する第3工程と、前記絶縁膜の上に配線を形成する第4工程と、前記配線をマスクとして、前記第1活性層及び前記第2活性層に15族に属する元素を添加する第5工程と、前記配線の側部にサイドウォールを形成する第6工程と、前記配線及び前記サイドウォールをマスクとして、前記第1活性層及び前記第2活性層に15族に属する元素を添加する第7工程と、前記第1活性層の上にレジストマスクを形成し、前記第2活性層に13族に属する元素を添加する第8工程と、前記第1活性層及び前記第2活性層の上にレジストマスクを形成し、前記第1活性層の一部及び前記第2活性層の一部に15族に属する元素を添加する第9工程と、窒化シリコン膜を形成する第10工程と、熱処理により、前記第1活性層の一部及び前記第2活性層の一部に前記触媒元素を移動させる第11工程と、を有することを特徴とする。

【0020】また、他の発明の構成は、絶縁表面を有する基板上に、結晶化を助長する触媒元素を含む活性層を形成する第1工程と、前記活性層の上に第1絶縁膜を形成する第2工程と、前記第1絶縁膜の上に配線を形成する第3工程と、前記配線をマスクとして、前記活性層に15族に属する元素を添加する第4工程と、前記配線の側部にサイドウォールを形成する第5工程と、前記配線及び前記サイドウォールをマスクとして、前記活性層に15族に属する元素を添加する第6工程と、前記第1絶縁膜の一部を除去し、前記第6工程で形成された前記活性層の一部を露呈させる第7工程と、前記第7工程で露呈した活性層に15族に属する元素を添加する第8工程と、前記配線の一部に接して第2絶縁膜を形成する第9工程と、前記活性層中の触媒元素の濃度を低減する熱処理を施す第10工程と、を有することを特徴とする。

【0021】また、他の発明の構成は、絶縁表面を有する基板上に、結晶化を助長する触媒元素を含む第1活性層及び第2活性層を形成する第1工程と、前記第1活性層及び前記第2活性層の上に第1絶縁膜を形成する第2工程と、前記第1絶縁膜の上に配線を形成する第3工程と、前記配線をマスクとして、前記第1活性層及び前記第2活性層に15族に属する元素を添加する第4工程と、前記配線の側部にサイドウォールを形成する第5工程と、前記配線及び前記サイドウォールをマスクとして、前記第1活性層及び前記第2活性層に15族に属する元素を添加する第6工程と、前記第1絶縁膜を選択的に

に除去し、前記第6工程で形成された前記第1活性層の一部及び前記第2活性層の一部を露呈させる第7工程と、前記第7工程で露呈した前記第1活性層及び前記第2活性層に15族に属する元素を添加する第8工程と、前記配線の一部に接して第2絶縁膜を形成する第9工程と、前記第1活性層及び前記第2活性層中の触媒元素の濃度を低減する熱処理を施す第10工程と、前記第2絶縁膜を選択的に除去し、第10工程で形成された第2活性層の一部を露呈させる第11工程と、前記第11工程で露呈した前記第2活性層を除去する第12工程と、前記第1絶縁膜を選択的に除去し、前記第2活性層の一部を露呈させる第13工程と、前記第13工程で露呈した前記第2活性層に13族に属する元素を添加する第14工程と、を有することを特徴とする。

#### 【0022】

【発明の実施の形態】本願発明の一実施形態について図1を用いて説明する。なお、図1では断面図を示し、上面からみた図を図11に示す。図1において、101は絶縁表面を有する基板である。例えば酸化シリコン膜を設けたガラス基板、石英基板、ステンレス基板、金属基板、セラミックス基板またはシリコン基板を用いることができる。

【0023】本願発明の特徴は、Nチャネル型TFT（以下、NTFTという）の活性層の構成にある。NTFTの活性層は、チャネル形成領域102、一对の第1不純物領域103、一对の第2不純物領域104及び一对の第3不純物領域105を含んで形成されている。なお、各不純物領域に添加されている不純物とは15族に属する元素（代表的にはリン又は砒素）である。

【0024】この時、チャネル形成領域102（110も同様）は真性半導体層又は $1 \times 10^{16} \sim 5 \times 10^{18}$ atoms/cm<sup>3</sup>の濃度でボロンが添加された半導体層でなる。ボロンはしきい値電圧の制御用やバンスルー防止用の不純物であり、同様の効果を生むものであれば他の元素で代用することもできる。その場合も濃度はホロンと同程度に添加される。

【0025】なお、本願発明で用いることのできる半導体層とはシリコン層又はシリコンゲルマニウム層など、シリコンを主成分とする半導体層だけでなく、ガリウム砒素などの化合物半導体層やゲルマニウム単層を用いることも可能である。また、本願発明は活性層に非晶質半導体（アモルファスシリコンなど）を用いたTFTにも結晶を含む半導体（単結晶半導体薄膜、多結晶半導体薄膜、微結晶半導体薄膜を含む）を用いたTFTにも適用できる。

【0026】また、NTFTの第1不純物領域103は $0.1 \sim 1 \mu\text{m}$ （代表的には $0.1 \sim 0.5 \mu\text{m}$ 、好ましくは $0.1 \sim 0.2 \mu\text{m}$ ）の長さを有し、 $1 \times 10^{15} \sim 1 \times 10^{17}$ atoms/cm<sup>3</sup>（代表的には $5 \times 10^{15} \sim 5 \times 10^{16}$ atoms/cm<sup>3</sup>、好ましくは $1 \times 10^{16} \sim 2 \times 10^{16}$ ato



ms/cm<sup>3</sup>)の濃度で15族に属する元素(代表的にはリン)を含む。なお、この時の不純物濃度を(n<sup>-</sup>)で表すことにする(本明細書ではn<sup>-</sup>領域を第1不純物領域という)。

【0027】なお、本明細書中において、特に指定がない限り「不純物」とは13族または15族に属する元素を指して用いる。また、各不純物領域は作製プロセスの過程で領域の大きさ(面積)が変化するが、本明細書中では面積が変化しても濃度が変化しない限りは同一の符号で説明するものとする。

【0028】また、第2不純物領域104は、0.5~2μm(代表的には1~1.5μm)の長さを有し、 $1 \times 10^{16} \sim 1 \times 10^{19}$ atoms/cm<sup>3</sup>(代表的には $1 \times 10^{17} \sim 5 \times 10^{18}$ atoms/cm<sup>3</sup>、好ましくは $5 \times 10^{17} \sim 1 \times 10^{18}$ atoms/cm<sup>3</sup>)の濃度で15族に属する元素を含む。この第2不純物領域に含まれる不純物濃度は第1不純物領域に含まれる不純物濃度の5~10倍となるように調節すれば良い。なお、この時の不純物濃度を(n<sup>-</sup>)で表すことにする(本明細書ではn<sup>-</sup>領域を第2不純物領域という)。

【0029】また、第3不純物領域105は、2~20μm(代表的には3~10μm)の長さを有し、 $1 \times 10^{19} \sim 1 \times 10^{21}$ atoms/cm<sup>3</sup>(代表的には $1 \times 10^{20} \sim 5 \times 10^{20}$ atoms/cm<sup>3</sup>)の濃度で15族に属する元素を含む。この第3不純物領域105はソース配線又はドレイン配線とTFTとを電気的に接続させるためのソース領域またはドレイン領域となる。なお、この時の不純物濃度を(n<sup>+</sup>)で表すことにする(本明細書ではn<sup>+</sup>領域を第3不純物領域という)。

【0030】さらに、本願発明では、この第3不純物領域105がチャネル形成領域102の内部から、チャネル形成領域の結晶化に用いた触媒元素をゲッタリングする上で非常に重要な役割を果たす。その効果について簡単に説明する。

【0031】本願発明では非晶質半導体膜の結晶化において、結晶化を助長するための触媒元素(代表的にはニッケル)を用いる。しかし、ニッケルは金属元素であるため、チャネル形成領域に残存してしまうとリーク電流の要因ともなりうる。即ち、触媒元素を用いた後で、その触媒元素を少なくともチャネル形成領域内から除去するための工程を設けることが望ましい。

【0032】本願発明は触媒元素を除去するためにソース領域及びドレイン領域に存在する15族に属する元素(好ましくはリン)を用いることに特徴がある。即ち、ソース領域及びドレイン領域(第3不純物領域105)を形成した後で、熱処理を行うことによりチャネル形成領域内に残存するニッケルを第3不純物領域105にゲッタリング(捕獲)させるのである。こうしてチャネル形成領域102内から結晶化に用いた触媒元素を除去することができる。

【0033】従って、第3不純物領域105にはゲッタリングされた触媒元素が集まって高濃度に存在する。本出願人がSIMS(質量二次イオン分析)で調べた結果、 $1 \times 10^{18} \sim 1 \times 10^{21}$ atoms/cm<sup>3</sup>(代表的には $5 \times 10^{18} \sim 5 \times 10^{19}$ atoms/cm<sup>3</sup>)の濃度で触媒元素が存在することが分かった。ただし、第3不純物領域105は電極としての機能を果たせば良いので、触媒元素が大量に存在していても何ら問題は生じない。

【0034】その一方で、チャネル形成領域102中の触媒元素の濃度はゲッタリング作用により大幅に低減(または除去)された。本出願人がSIMSで調べた結果、チャネル形成領域102中の触媒元素の濃度は $2 \times 10^{17}$ atoms/cm<sup>3</sup>以下(代表的には $1 \times 10^{14} \sim 5 \times 10^{16}$ atoms/cm<sup>3</sup>)にまで低減されていることが分かった。このように、同一活性層内であっても位置によって触媒元素の濃度に大きな差(100~10000倍の差)が見られる点も本願発明の特徴となる。

【0035】以上のように本願発明のNFTの活性層は、最終的に、チャネル形成領域以外に異なる濃度で同一の不純物を含む少なくとも三種類の不純物領域を含む点に特徴がある。このような構造とすることによってチャネル形成領域102から第1不純物領域103、第2不純物領域104、第3不純物領域105と遠ざかるにつれて(チャネル形成領域からの距離が遠いほど)不純物(15族に属する元素)濃度が次第に高くなるような構成を実現できる。

【0036】本出願人の意図するところは、従来例に述べたようなMOSFETにみられるLDD部での濃度勾配を、複数の不純物領域で意図的に形成することで実現することにある。従って、不純物領域が三つ以上存在しても構わない。

【0037】こうして形成された活性層の上にはゲート絶縁膜106が形成されている。また、ゲート絶縁膜106上にはゲート配線107が設けられている。ゲート配線107の材料としては、タンタル(Ta)、窒化タンタル(TaN)、チタン(Ti)、クロム(Cr)、タングステン(W)、窒化タングステン(WN)、モリブデン(Mo)、シリコン(Si)、アルミニウム(Al)又は銅(Cu)などの単体金属層、或いはこれらを組み合わせた積層構造を用いれば良い。

【0038】積層構造の代表例としてはTa/Al、Ta/TaN、Ti/Al、Cu/W、Al/W、W/WNまたはW/Moの積層構造などが挙げられる。また、金属シリサイドを設けた構造(具体的にはSi/WSix、Si/TiSix、Si/CoSixまたはSi/MoSixなど導電性を持たせたシリコンと金属シリサイドとを組み合わせた構造)としても良い。

【0039】ただし、シリコンとなるサイドウォールを形成する際に、シリコンとのエッチングの選択比の高い材料が上面に現れるようにしておくことが好ましい。これはサイドウォールの形成時にゲート配線までもエッチ

ングされてしまうのを防ぐためである。さもなければ、サイドウォールの形成に際して、ストッパーとして上面を保護膜で保護しておくことが必要となる。

【0040】また、後述するが本願発明のCMOS回路ではPTFTにはサイドウォールを設けない構造が有効である。従って、後にサイドウォールのみを除去する工程を含むため、サイドウォールの除去時にゲート配線がエッチングされないような材料選択が必要である。その点、従来例に述べた論文ではシリコンゲートとシリコンサイドウォールとが直接接する構造を有しているため、同論文の構造をそのまま用いても本願発明のCMOS回路を実現することはできない。

【0041】また、前述したゲッターリング工程の熱処理の際、ゲート配線107（または113）の耐熱性等に注意が必要である。アルミニウムなどの低融点金属を含む場合には熱処理温度に制限が生じる。また、タンタルは非常に酸化されやすいので窒化シリコン膜などの保護膜を設け、熱処理雰囲気中にタンタルが触れないように保護しておく必要がある。

【0042】図1に示した窒化シリコン膜108はそのために設けてある保護膜である。この窒化シリコン膜108に微量のホロンを添加しておくことは有効である。こうすることで熱伝導性が高まり、放熱効果を付与することができる。

【0043】このゲート配線107の側壁（側部）にはサイドウォール109が設けられている。本願発明ではサイドウォール109としてシリコンを主成分とする層（具体的にはシリコン層又はシリコンゲルマニウム層）を用いる。特に真性シリコン層を用いることが望ましい。勿論、非晶質、結晶質または微結晶のいずれでも良い。

【0044】本願発明ではサイドウォール109が第1不純物領域103上にオーバーラップする（絶縁膜106を介して第1不純物領域103とサイドウォール109が重なっている）ような構造とする。このような構造とすることでMOSFETのGOLD構造やLATID構造の如き利点を得ることが可能である。

【0045】また、そのような構造を実現するためには、サイドウォール109によって第1不純物領域103に電圧が印加されるようにしておく必要がある。サイドウォールを真性シリコン層で形成しておけば、抵抗値は高いがリーク電流もある程度発生するのでサイドウォール部分で蓄積容量による電圧残りを作らないという利点がある。

【0046】また、TFTの場合、活性層の膜厚が20～50nmと薄くなるため動作している時は空乏層が完全に活性層底部まで広がり、完全空乏型（FD型：Fully-Depression type）になる。FD型TFTをゲートオーバーラップ型にすることでホットキャリアを発生しにくい方向に電界が形成される。逆にFD型TFTで一般的

なオフセット構造とすると、ホットキャリア注入を促進する方向に電界が形成されてしまう恐れがある。

【0047】以上のような構造とすることで、本願発明のNTFTはMOSFETと同等又はそれ以上の高い信頼性を実現することができる。また、サイドウォール109を用いて第1不純物領域103にゲート電圧を印加することでゲートオーバーラップ構造と同様の効果を得ることができる。

【0048】次に、第1不純物領域103、第2不純物領域104、及び第3不純物領域105を並べること、チャンネル形成領域102からソース領域（またはドレイン領域）105に向かって徐々に不純物濃度が高くなるような構造を実現できる。こうすることによってTFTのオフ電流を効果的に抑制することができる。

【0049】さらに、第2不純物領域104がゲート電圧からある程度距離をおいて設けられるので、図2

(A)に示したMOSFETのオーバーラップ部分のように電界緩和の効果が得られる。また、第1不純物領域103で発生したホットキャリアは真上のサイドウォール109に向かって注入されるので、チャンネル形成領域102の真上にトラップ準位を形成することがない。

【0050】以上は本願発明のNTFTの説明であるが、Pチャンネル型TFT（以下、PTFTという）は基本的にLDD領域やオフセット領域を設けない構造とする。勿論、LDD領域やオフセット領域を設ける構造としても構わないが、PTFTはもともと信頼性が高いため、オン電流を稼いでNTFTとの特性バランスをとった方が好ましい。本願発明を図1に示すようにCMOS回路に適用する場合には得にこの特性バランスが重要である。ただし、本願発明の構造をPTFTに適用しても構わない。

【0051】図1において、PTFTの活性層はチャンネル形成領域110、第4不純物領域111及び第5不純物領域112とで構成される。本明細書中では説明を簡易にするため第4不純物領域111と第5不純物領域112とを区別しているが、実際にはどちらもPTFTのソース領域又はドレイン領域として機能する。

【0052】なお、この時、第4不純物領域111には13族から選ばれた元素（代表的にはホロン）が $5 \times 10^{20} \sim 5 \times 10^{21} \text{ atoms/cm}^3$ の濃度で添加されている。この不純物濃度を $(p^{++})$ で表すことにする（本明細書では $p^{++}$ 領域を第4不純物領域という）。

【0053】また、第5不純物領域112にも13族から選ばれた元素が第4不純物領域111と同一濃度で存在している。さらに、この領域には15族から選ばれた元素が第3不純物領域105と同一濃度に存在する。そのため第5不純物領域112は $(n^+, p^{++})$ 領域と表すことにする（本明細書では $n^+, p^{++}$ 領域を第5不純物領域という）。ただし、15族に属する元素よりも13族に属する元素の方が多く添加されているため、P型を示

すことに変わりはない。

【0054】即ち、第5不純物領域112は13族に属する元素だけでなく15族に属する元素も高濃度に含まれているため、十分なゲッターリング効果を発揮する。従って、第5不純物領域112にも結晶化に用いた触媒元素が $1 \times 10^{18} \sim 1 \times 10^{21} \text{ atoms/cm}^3$  (代表的には $5 \times 10^{18} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ ) の濃度で存在する。勿論、チャネル形成領域110に含まれる触媒元素の濃度は、第5不純物領域112の $1 \times 10^{20} \sim 1 \times 10^{21}$ であり、濃度としては $2 \times 10^{17} \text{ atoms/cm}^3$ 以下 (代表的には $1 \times 10^{14} \sim 5 \times 10^{16} \text{ atoms/cm}^3$ ) となる。

【0055】また、本願発明によるCMOS回路の特徴の一つとしてNTFTにはサイドウォール109が存在し、PTFTにはサイドウォールが除去されて残らないという点も挙げられる。これはNTFTをゲートオーバーラップ構造とし、PTFTをLDDもオフセットも設けない構造とするためである。

【0056】こうしてNTFT及びPTFTを形成したら、第1層間絶縁膜114で覆い、ソース配線115、116及びドレイン配線117を設ける。図1の構造ではこれら配線を設けた後で保護膜として窒化シリコン層118を形成してパッシベーション効果を高めている。その窒化シリコン層118上には樹脂材料でなる第2層間絶縁膜119が設けられる。樹脂材料で限定する必要はないが、平坦性を確保する意味で樹脂材料を用いることは効果的である。

【0057】ここまでNTFTとPTFTとを相補的に組み合わせるCMOS回路を例にとりて説明してきたが、NTFTを用いたNMOS回路やNTFTで形成された画素TFTに本願発明を適用することも可能である。勿論、CMOS回路を基本単位としたさらに複雑な半導体回路に適用することもできる。

【0058】また、本願発明の最も特徴的な点は、NTFTのLDD領域がチャネル形成領域から遠ざかるにつれて不純物濃度が高くなるように多段階に設けられ、且つ、チャネル形成領域内の触媒元素 (結晶化で用いられた元素) がTFTの電気特性に支障をきたさないレベルにまで低減されている点にある。

【0059】従って、この構成を含む限り、TFT構造が限定される必要はなく、トップゲート構造 (代表的にはプレーナ構造) にもボトムゲート構造 (代表的には逆スタガ構造) にも本願発明を適用することができる。

【0060】(本願発明のNTFT構造の利点) 本願発明のNTFTは第1不純物領域 (1stLDD領域) と第2不純物領域 (2ndLDD領域) というように、LDD領域を複数設け、そのうちの一つに対してゲート電極をオーバーラップさせるという構造上の特徴がある。

【0061】ここで本願発明の優位性を従来の構造と比較して説明する。図32 (A)、(B) はLDD構造のないNTFTとその電気特性 (ゲート電圧 $g$ 対ドレイン

電流 $I_d$ 特性) である。同様に、図32 (C)、(D) は通常のLDD構造の場合を、図32 (E)、(F) はいわゆるGOLD構造の場合を、そして図32 (G)、(H) には本願発明のNTFTの場合を示す。

【0062】なお、図面中において $+$ はソース領域またはドレイン領域を、channelはチャネル形成領域を、 $n$ はLDD領域 ( $n$ は第2のLDD領域) を指す。また、 $I_d$ はドレイン電流、 $V_g$ はゲート電圧である。

【0063】図32 (A)、(B) に示すようにLDD構造がない場合、オフ電流は高く、オン電流 (TFTがオン状態にある時のドレイン電流) やオフ電流が劣化しやすい。

【0064】次に、LDD構造の場合、オフ電流はかなり抑えられ、オン電流もオフ電流も劣化が抑制できる。しかしながら、オン電流の劣化を完全に抑えられているわけではない。(図32 (C)、(D))

【0065】次に、LDD領域とゲート電極とがオーバーラップした構造 (図32 (C)、(D)) であるが、この構造は従来のLDD構造においてオン電流の劣化を抑制することに重点を置いた構造となっている。

【0066】この場合、オン電流の劣化を十分に抑えることができる反面、通常のLDD構造よりもややオフ電流が高いという問題を持つ。従来例で述べた論文はこの構造を採用しており、本願発明はこのオフ電流が高いという問題を認識した上で、解決するための構造を模索したのである。

【0067】そして、本願発明の構造は図32 (G)、(H) に示すように、内側 (チャネル形成領域に近い側) のLDD領域はゲート電極とオーバーラップさせ、外側のLDD領域はゲート電極とオーバーラップしないように形成した。この構造を採用することで、オン電流の劣化を抑制する効果をそのままに、オフ電流を低減することが可能となった。

【0068】本出願人は図32 (E)、(F) に示したような構造の場合に何故オフ電流が高くなってしまおうかを次のように推測した。この説明を、図33を用いて行う。

【0069】NTFTがオフ状態にある時、ゲート電極41にはマイナス数十ボルトといった負の電圧が印加される。その状態でドレイン領域42にプラス数十ボルトの正の電圧がかかっていると、ゲート絶縁膜13のドレイン側端部に非常に大きな電界が形成される。

【0070】この時、図33 (A) に示すようにLDD領域44には正孔45が誘起される。この時のエネルギーバンド図を図33 (B) に示す。即ち、ドレイン領域42、LDD領域44、チャネル形成領域46をつなぐ小数キャリアによる電流経路が形成されてしまう。この電流経路がオフ電流の増加を招くと考えたのである。

【0071】本出願人は、このような電流経路を途中で遮断するためにはゲート電極とオーバーラップしない位

置に別の抵抗体、即ち第2のLDD領域を設ける必要があると考えた。このようにして本願発明の構造に想到したのである。

【0072】以上に示したような本願発明の構成について、以下に示す実施例をもってさらに詳細な説明を行うこととする。

【0073】

【実施例】〔実施例1〕本実施例では図1に示したCMOS回路の作製方法について図3、図4を用いて説明する。

【0074】まず、ガラス基板301上に酸化シリコン膜302でなる下地膜を200nm厚に形成した。下地膜は窒化シリコン膜を積層しても良いし、窒化シリコン膜のみであっても良い。成膜方法はプラズマCVD法、熱CVD法またはスパッタ法を用いれば良い。勿論、窒化シリコン膜にボロンを添加することは放熱効果を高める上で有効である。

【0075】次に、酸化シリコン膜302上に50nm厚のアモルファスシリコン膜（非晶質シリコン膜）をプラズマCVD法、熱CVD法またはスパッタ法により形成した。その後、特開平7-130652号公報に記載の技術を用いてアモルファスシリコン膜の結晶化を行い、結晶を含む半導体膜を形成した。この工程について図5を用いて説明する。

【0076】まずガラス基板501上に下地膜として酸化シリコン膜502を設け、その上にアモルファスシリコン膜503を形成した。本実施例では酸化シリコン膜502とアモルファスシリコン膜503とをスパッタ法により連続的に成膜した。次に、重量換算で1ppmのニッケルを含む酢酸ニッケル塩溶液を塗布してニッケル含有層504を形成した。（図5（A））

【0077】なお、ニッケル（Ni）以外にも、ゲルマニウム（Ge）、鉄（Fe）、パラジウム（Pd）、錫（Sn）、鉛（Pb）、コバルト（Co）、白金（Pt）、銅（Cu）、金（Au）、シリコン（Si）といった元素から選ばれた一種または複数種の元素を用いても良い。

【0078】次に、500℃、1時間の水素だし工程の後、500～650℃で4～24時間（本実施例では550℃14時間）の熱処理を行い、ポリシリコン膜505を形成した。こうして得られたポリシリコン膜505は非常に優れた結晶性を有することが分かっている。

（図5（B））

【0079】ただし、この時、ポリシリコン膜505の内部には結晶化に用いたニッケルが高濃度に存在していた。本出願人がSIMS測定を行った結果、 $1 \times 10^{18} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の濃度で存在することが分かった。このニッケルはチャネル形成領域内で容易にシリサイド化しうるため、抵抗の低い電流パス（リーク電流の通り道）として機能することが懸念される。

【0080】なお、本出願人は実際のTFTの電気特性

を調べているが、この程度のニッケル濃度であればTFTの電気特性に著しい悪影響を与えないことを確かめている。しかしながら、悪影響を与えうる可能性がある限り、少なくともチャネル形成領域からは除去することが望ましいと言える。そのためのゲッタリング工程に関しては後述することにする。

【0081】こうしてポリシリコン膜505を形成したら、島状にパターニングして図3（A）に示す活性層303、304を形成した。

【0082】なお、ポリシリコン膜505を形成した後、エキシマレーザー光やYAGレーザー光の第2、第3、第4高調波を照射して結晶性を高めても良い。また、活性層303、304を形成した後に行っても構わない。エキシマレーザー光の照射工程は公知の技術を用いれば良いので説明は省略する。

【0083】次に、活性層303、304を覆って酸化窒化シリコン膜（ $\text{SiO}_x\text{N}_y$ で表される）でなるゲート絶縁膜305を形成し、その上にタンタルと窒化タンタルの積層構造でなるゲート配線（ゲート電極を含む）306、307を形成した。（図3（A））

【0084】ゲート絶縁膜305の膜厚は120nmとした。勿論、酸化窒化シリコン膜以外に酸化シリコン膜、酸化シリコン膜と窒化シリコン膜との積層構造を用いても構わない。また、ゲート配線306、307は他の金属を用いることもできるが、後の工程を考慮するとシリコンとのエッチング選択比の高い材料が望ましい。

【0085】こうして図3（A）の状態が得られたら、1回目のリンドープ工程（リンの添加工程）を行った。ここではゲート絶縁膜305を通して添加するため、加速電圧は80KeVと高めに設定した。また、こうして形成された第1不純物領域308、309は長さ（幅）が0.5 $\mu\text{m}$ 、リン濃度が $1 \times 10^{17} \text{ atoms/cm}^3$ となるように調節した。なお、リンの代わりに砒素を用いても良かった。

【0086】また、第1不純物領域308、309はゲート配線306、307をマスクとして自己整合的に形成された。この時、ゲート配線306、307の直下には真性のポリシリコン層が残り、チャネル形成領域310、311が形成された。ただし、実際には多少ゲート配線の内側に回り込んで添加される分もあるため、ゲート配線306、307と第1不純物領域308、309とがオーバーラップするような構造となった。（図3（B））

【0087】次に、ゲート配線306、307を覆うようにして0.1～1 $\mu\text{m}$ （代表的には0.2～0.3 $\mu\text{m}$ ）の厚さのアモルファスシリコン層を形成し、塩素系ガスを用いた異方性エッチングを行うことによりサイドウォール312、313を形成した。サイドウォール312、313の幅（ゲート配線の側部からみた厚さ）は0.2 $\mu\text{m}$ とした。（図3（C））

【0088】なお、本実施例ではアモルファスシリコン層として不純物を何も添加しないものを用いるため、真性なシリコン層（アンドープシリコン層）でなるサイドウォールが形成された。

【0089】図3（C）の状態が得られたら、2回目のリンドーブ工程を行った。この場合も1回目と同様に加速電圧を80KeVとした。また、今回形成された第2不純物領域314、315にはリンが $1 \times 10^{18} \text{atoms/cm}^3$ の濃度で含まれるようにドーブ量を調節した。

【0090】なお、図3（D）に示すリンドーブ工程ではサイドウォール312、313の真下のみに第1不純物領域308、309が残る。即ち、この工程で図1に示した第1不純物領域103が画定した。この第1不純物領域308はN+TF+Tの1stLDD領域として機能することになる。

【0091】また、図3（D）の工程ではサイドウォール312、313にもリンが添加された。実際には加速電圧が高いためリンの濃度プロファイルのテール（裾）がサイドウォール内部に及ぶような状態でリンが分布していた。このリンでサイドウォールの抵抗成分を調節することもできる反面、リンの濃度分布が極端にばらつくると第1不純物領域308に印加されるゲート電圧が素子毎に変動する要因ともなりかねないのでドーピング時は精密な制御が必要である。

【0092】次に、N+TF+Tを覆うレジストマスク316を形成し、P+TF+Tのサイドウォール313を除去した。その後、ボロンドープ工程（ボロンの添加工程）を行った。ここでは加速電圧を70KeVとし、形成された第4不純物領域317に $3 \times 10^{21} \text{atoms/cm}^3$ の濃度でボロンが含まれるようにドーブ量を調節した。この時のボロン濃度を（p++）で表すことにする。（図4（A））

【0093】このボロンドープ工程によってP+TF+T側に形成されていた第1不純物領域309及び第2不純物領域315は完全に反転してP型になる。この時に添加されるボロン濃度は、次に行われる3回目のリンドーブ工程で添加されるリン濃度よりも高く設定しておかなければならない。その点については後述する。

【0094】次に、レジストマスク316を除去して、新たにレジストマスク318、319を形成した。その後、3回目のリンドーブ工程を行った。加速電圧は90KeVとした。なお、本実施例では第3不純物領域320及び第5不純物領域321にリンが $5 \times 10^{20} \text{atoms/cm}^3$ の濃度で含まれるようにドーブ量を調節した。（図4（B））

【0095】この工程ではレジストマスク318によって遮蔽された部分（N+TF+T側）にはリンが添加されないため、その部分には第2不純物領域314がそのまま残った。即ち、この工程によって図1に示す第2不純物領域104が画定した。また同時に、図1に示す第3不

純物領域105が画定した。この第2不純物領域314は2ndLDD領域として機能し、第3不純物領域105はソース領域又はドレイン領域として機能することになる。

【0096】さらに、P+TF+Tとなる活性層ではレジストマスク319によって遮蔽された部分の下に第4不純物領域317が残った。即ち、この工程によって図1に示す第4不純物領域111が画定した。また同時に、図1に示す第5不純物領域112が画定した。

【0097】なお、本実施例では第3不純物領域320及び第5不純物領域321のリン濃度が少なくとも $1 \times 10^{19} \text{atoms/cm}^3$ 以上（好ましくは $1 \times 10^{20} \sim 5 \times 10^{21} \text{atoms/cm}^3$ ）となるようにリンの添加量を調節することが望ましい。これ以下の濃度であると、リンによるゲッタリング効果を期待できなくなる恐れがある。

【0098】また、この工程で添加されるリン濃度は前述のボロンドープ時に添加されるボロン濃度よりも低い。従って、第4不純物領域317と第5不純物領域321とを併せてソース領域又はドレイン領域と考えて良い。

【0099】また、本実施例ではP+TF+Tに対してLDD領域もオフセット領域も形成していないが、P+TF+Tはもともと信頼性が高いので問題はなく、却ってLDD領域等を設けない方がオン電流を稼ぐことができるので都合が良い場合もある。

【0100】こうして最終的には図4（B）に示すように、N+TF+Tの活性層にはチャネル形成領域、第1不純物領域、第2不純物領域及び第3不純物領域が形成され、P+TF+Tの活性層にはチャネル形成領域、第4不純物領域及び第5不純物領域が形成される。

【0101】そのようにして図4（B）の状態が得られたら、レジストマスク318、319を除去した後、保護膜として窒化シリコン膜322を形成した。この時、窒化シリコン膜の膜厚は1～100nm（代表的には5～50nm、好ましくは10～30nm）とした。

【0102】次に、500～650℃（代表的には550～600℃）の処理温度で2～24時間（代表的には4～12時間）の熱処理工程を行った。本実施例では窒素雰囲気中で600℃12時間の熱処理とした。（図4（C））

【0103】この熱処理工程は、第1不純物領域308、第2不純物領域314、第3不純物領域320、第4不純物領域317及び第5不純物領域321に添加された不純物（リン及びボロン）を活性化させると同時に、チャネル形成領域310、311に残存しているニッケルをゲッタリングさせる目的で行われる。

【0104】この熱処理工程では、第3不純物領域320と第5不純物領域321に添加されているリンがニッケルをゲッタリングする。即ち、ニッケルが矢印の方向

に移動し、リンと結合することによって捕獲される。そのため、図4 (C) に示した第3不純物領域323と第5不純物領域324には高濃度にニッケルが集まっていた。具体的には、両不純物領域に $1 \times 10^{18} \sim 1 \times 10^{21} \text{atoms/cm}^3$  (代表的には $5 \times 10^{18} \sim 5 \times 10^{19} \text{atoms/cm}^3$ ) の濃度でニッケルが存在した。また同時に、チャネル形成領域310、311内のニッケル濃度は $2 \times 10^{17} \text{atoms/cm}^3$ 以下 (代表的には $1 \times 10^{14} \sim 5 \times 10^{16} \text{atoms/cm}^3$ ) にまで低減されていることが分かった。

【0105】この時、保護膜として設けた窒化シリコン膜322はゲート配線の材料として用いたタンタル膜が酸化されるのを防ぐ。ゲート配線が酸化されにくい、酸化によって形成される酸化膜がエッチングしやすいものであれば問題はないが、タンタル膜は酸化されやすいばかりでなく、酸化タンタル膜が非常にエッチングしにくい膜であるため、窒化シリコン膜322を設けることが望ましかった。

【0106】こうして図4 (C) に示す熱処理工程 (ゲッタリング工程) が終了したら、第1層間絶縁膜325を $1 \mu\text{m}$ の厚さに形成した。第1層間絶縁膜325としては酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、有機樹脂膜またはそれらの積層膜を用いることができる。本実施例ではアクリル樹脂膜を採用した。

【0107】第1層間絶縁膜325を形成したら、金属材料でなるソース配線326、327及びドレイン配線328を形成した。本実施例ではチタンを含むアルミニウム膜をチタンで挟み込んだ構造の積層配線を用いた。

【0108】また、第1層間絶縁膜325としてBCB (ベンゾシクロブテン) と呼ばれる樹脂膜を用いた場合、平坦性が高まると同時に、配線材料として銅を用いることが可能となる。銅は配線抵抗が低い、配線材料として非常に有効である。

【0109】こうしてソース配線及びドレイン配線を形成したら、パッシベーション膜として50nm厚の窒化シリコン膜329を形成した。さらにその上には保護膜として第2層間絶縁膜330を形成した。この第2層間絶縁膜330としては前記第1層間絶縁膜325と同様の材料を用いることが可能である。本実施例では50nm厚の酸化シリコン膜上にアクリル樹脂膜を積層した構造を採用した。

【0110】以上のような工程を経て、図4 (D) に示すような構造のCMOS回路が完成した。本実施例によって形成されたCMOS回路は、NTFTが優れた信頼性を有するため、回路全体として信頼性が大幅に向上した。また、本実施例のような構造とすると、NTFTとPTFTとの特性バランス (電気特性のバランス) が良くなるため、動作不良を起こしにくくなることが分かった。

【0111】また、従来特開平7-130652号公報記載の技術を用いた際に懸念されたチャネル形成領域内

のニッケル (触媒元素) の影響は、本実施例に示したようなゲッタリング工程を行うことにより解決された。

【0112】なお、本実施例で説明した構造はあくまで一実施例であり、図3、図4に示した構造に限定される必要はない。本願発明で重要な点はNTFTの活性層の構造であり、その点さえ違わなければ本願発明の効果を導くことができる。

【0113】〔実施例2〕実施例1ではサイドウォールとして意図的に不純物を添加しないundoped-Si (真性なシリコン層またはアンドープシリコン層) を用いたが、本実施例では成膜時にリンを添加したリンドープシリコン層 ( $n^+$ -Si層) またはボロンドープシリコン層 ( $p^+$ -Si層) を用いた。勿論、非晶質でも結晶質でも良いし、微結晶でも良かった。

【0114】リンやボロンを添加したシリコン層を用いることでサイドウォール部分が全体的に低抵抗化され、図3 (D) の工程で懸念されたリン濃度のプロファイルばらつきに起因する特性変動の可能性を排除することができた。

【0115】〔実施例3〕実施例1ではサイドウォールとして意図的に不純物を添加しないundoped-Siを用いたが、本実施例では炭素 (C)、窒素 (N) または酸素 (O) のいずれかが含まれたシリコン層を用いてサイドウォールの抵抗成分を高めた。勿論、シリコン層は非晶質、結晶質または微結晶のいずれかで良かった。また、用いる不純物としては酸素が最も良かった。

【0116】即ち、サイドウォールとなるシリコン層を形成する際に1~50atomic% (代表的には10~30atomic%) の炭素、窒素または酸素を添加すれば良い。本実施例では20atomic% の酸素を添加した。

【0117】本実施例の構成とすることでサイドウォールに起因する抵抗成分が大きくなるため、ゲート電圧の印加に対してサイドウォールを誘電体とした容量成分が支配的にきいてくるような構成とすることができた。即ち、高周波駆動した際にサイドウォール部分にも有効なゲート電圧が印加されるようにできた。

【0118】〔実施例4〕本実施例では、実施例1において活性層となる結晶を含む半導体膜を、特開平8-78329号公報に記載された技術を用いて結晶化した場合の例について説明する。なお、特開平8-78329号公報に記載された技術は、触媒元素を選択的に添加することによって、半導体膜の選択的な結晶化を可能とするものである。同技術を本願発明に適用した場合について図6に説明する。

【0119】まず、ステンレス基板601上に酸化シリコン膜602を設け、その上にアモルファスシリコン膜603、酸化シリコン膜604を連続的に形成した。この時、酸化シリコン膜604の膜厚は150nmとした。

【0120】次に酸化シリコン膜604をバターンニングして選択的に開口部605を形成し、その後、重量換算

で100ppmのニッケルを含む酢酸ニッケル塩溶液を塗布した。形成されたニッケル含有層606は開口部605の底部のみでアモルファスシリコン膜602と接触した状態となった。(図6(A))

【0121】次に、500～650℃で4～24時間(本実施例では580℃14時間)の熱処理を行い、アモルファスシリコン膜の結晶化を行った。この結晶化過程では、ニッケルが接した部分がまず結晶化し、そこから基板にほぼ平行な方向へと結晶成長が進行する。結晶学的には<111>軸方向に向かって進行することが確かめられている。

【0122】こうして形成されたポリシリコン膜607は棒状または針状の結晶が集合してなり、各々の棒状結晶は、巨視的にはある特定の方向性をもって成長しているため、結晶性が揃っているという利点がある。

【0123】なお、上記公報に記載された技術においてもニッケル(Ni)以外にゲルマニウム(Ge)、鉄(Fe)、パラジウム(Pd)、錫(Sn)、鉛(Pb)、コバルト(Co)、白金(Pt)、銅(Cu)、金(Au)、シリコン(Si)といった元素から選ばれた一種または複数種の元素を用いることができる。

【0124】以上のような技術を用いて結晶を含む半導体膜(ポリシリコン膜やポリシリコンゲルマニウム膜を含む)を形成し、パターンニングを行って結晶を含む半導体膜でなる活性層を形成すれば良い。その後の工程は実施例1に従えば良い。勿論、実施例2、3との組み合わせも可能である。

【0125】本実施例の技術を用いて結晶化した結晶を含む半導体膜を用いてTFTを作製した場合、高い電界効果移動度(モビリティ)が得られるが、そのため高い信頼性を要求されていた。しかしながら、本願発明のTFT構造を採用することで本実施例の技術を最大限に生かしたTFTを作製することが可能となった。

【0126】[実施例5] 本実施例では、実施例1に対して特開平10-135468号公報または特開平10-135469号公報に記載された技術を組み合わせた例を示す。

【0127】同公報に記載された技術は、半導体の結晶化に用いたニッケルを、結晶化後にハロゲン元素(代表的には塩素)のゲッタリング作用を用いて除去する技術である。同技術を用いることで活性層中のニッケル濃度を $1 \times 10^{17}$ atoms/cm<sup>3</sup>以下(好ましくは $1 \times 10^{16}$ atoms/cm<sup>3</sup>以下)にまで低減することができる。

【0128】本実施例の構成について図7を用いて説明する。まず基板として耐熱性の高い石英基板701を用いた。勿論、シリコン基板やセラミックス基板を用いても良い。石英基板を用いた場合、特に下地膜として酸化シリコン膜を設けなくても基板側からの汚染はない。

【0129】次に実施例1または実施例4の手段を用いてポリシリコン膜(図示せず)を形成し、パターンニング

して活性層702、703を形成した。さらに、それら活性層を覆って酸化シリコン膜でなるゲート絶縁膜704を形成した。(図7(A))

【0130】ゲート絶縁膜704を形成したら、ハロゲン元素を含む雰囲気中において熱処理を行った。本実施例では処理雰囲気を酸素と塩化水素とを混合した酸化性雰囲気とし、処理温度を950℃、処理時間を30分とした。なお、処理温度は700～1150℃(代表的には800～1000℃)の間で選択すれば良いし、処理時間も10分～8時間(代表的には30分～2時間)の間で選択すれば良い。(図7(B))

【0131】この時、ニッケルは揮発性のニッケル塩化物となって処理雰囲気中に離脱し、ポリシリコン膜中のニッケル濃度が低減する。従って、図7(B)に示した活性層705、706中に含まれるニッケル濃度は $1 \times 10^{17}$ atoms/cm<sup>3</sup>以下に低減されていた。

【0132】以上のような技術でなる本実施例を用いて活性層を形成し、その後の工程は実施例1に従えば良い。勿論、実施例2～5のいずれの実施例との組み合わせも可能である。特に本実施例と実施例4との組み合わせは非常に結晶性の高いポリシリコン膜を実現できることが判明している。

【0133】(活性層の結晶構造に関する知見) 上記作製工程に従って形成した活性層は、微視的に見れば複数の針状又は棒状の結晶(以下、棒状結晶と略記する)が集まって並んだ結晶構造を有する。このことはTEM(透過型電子顕微鏡法)による観察で容易に確認できた。

【0134】また、電子線回折及びエックス線(X線)回折を利用して活性層の表面(チャネルを形成する部分)が結晶軸に多少のずれが含まれているものの主たる配向面が{110}面であることを確認した。本出願人がスポット径約1.5μmの電子線回折写真を詳細に観察した結果、{110}面に対応する回折斑点がきれいに現れているが、各斑点は同心円上に分布を持っていることが確認された。

【0135】また、本出願人は個々の棒状結晶が接して形成する結晶粒界をHR-TEM(高分解能透過型電子顕微鏡法)により観察し、結晶粒界において結晶格子に連続性があることを確認した。これは観察される格子縞が結晶粒界において連続的に繋がっていることから容易に確認できた。

【0136】なお、結晶粒界における結晶格子の連続性は、その結晶粒界が「平面状粒界」と呼ばれる粒界であることに起因する。本明細書における平面状粒界の定義は、「Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement ; Ryuichi Shimokawa and Yutaka Hayashi, Japanese Journal of Applied Physics vol. 27, No. 5, pp. 751-758, 1988」に記載された「Planar boundary」である。

【0137】上記論文によれば、平面状粒界には双晶粒界、特殊な積層欠陥、特殊なwist粒界などが含まれる。この平面状粒界は電気的に不活性であるという特徴を持つ。即ち、結晶粒界でありながらキャリアの移動を阻害するトラップとして機能しないため、実質的に存在しないと見なすことができる。

【0138】特に結晶軸（結晶面に垂直な軸）が〈110〉軸である場合、{211}双晶粒界は $\Sigma 3$ の対応粒界とも呼ばれる。 $\Sigma$ 値は対応粒界の整合性の程度を示す指針となるパラメータであり、 $\Sigma$ 値が小さいほど整合性の良い粒界であることが知られている。

【0139】本出願人が本願発明を実施して得たポリシリコン膜を詳細にTEMを用いて観察した結果、結晶粒界の殆ど（90%以上、典型的には95%以上）が $\Sigma 3$ の対応粒界、即ち{211}双晶粒界であることが判明した。

【0140】二つの結晶粒の間に形成された結晶粒界において、両方の結晶の面方位が{110}である場合、{111}面に対応する格子縞がなす角を $\theta$ とすると、 $\theta = 70.5^\circ$ の時に $\Sigma 3$ の対応粒界となることが知られている。

【0141】本実施例のポリシリコン膜は、結晶粒界において隣接する結晶粒の各格子縞がまさに約 $0.5^\circ$ の角度で連続しており、そのことからこの結晶粒界は{211}双晶粒界であるという結論に辿り着いた。

【0142】なお、 $\theta = 38.9^\circ$ の時には $\Sigma 9$ の対応粒界となるが、この様な他の結晶粒界も存在した。

【0143】この様な対応粒界は、同一面方位の結晶粒間にしか形成されない。即ち、本実施例を実施して得たポリシリコン膜は面方位が概略{110}で揃っているからこそ、広範囲に渡ってこの様な対応粒界を形成している。

【0144】この様な結晶構造（正確には結晶粒界の構造）は、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合していることを示している。即ち、結晶粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構成となっている。従って、この様な結晶構造を有する半導体薄膜は実質的に結晶粒界が存在しないと見なすことができる。

【0145】またさらに、700～1150℃という高い温度での熱処理工程によって結晶粒内に存在する欠陥が殆ど消滅していることがTEM観察によって確認されている。これはこの熱処理工程の前で欠陥数が大幅に低減されていることから明らかである。

【0146】この欠陥数の差は電子スピン共鳴分析（Electron Spin Resonance : ESR）によってスピン密度の差となって現れる。現状では本実施例の作製工程に従って作製されたポリシリコン膜のスピン密度は少なくとも $5 \cdot 10^{17}$  spins/cm<sup>3</sup>以下（好ましくは $3 \cdot 10^{17}$  spins/cm<sup>3</sup>以下）であることが判明している。ただし、

この測定値は現存する測定装置の検出限界に近いので、実際のスピン密度はさらに低いと予想される。

【0147】以上のことから、本実施例を実施することで得られたポリシリコン膜は結晶粒内及び結晶粒界が実質的に存在しないため、単結晶シリコン膜又は実質的な単結晶シリコン膜と考えて良い。本出願人はこのような結晶構造を有するポリシリコン膜をCGS(Continuous Grain Silicon)と呼んでいる。

【0148】CGSに関する記載は本出願人による特願平10-044659号、特願平10-152316号、特願平10-152308号または特願平10-152305号の出願を参照すれば良い。

【0149】(TFETの電気特性に関する知見)本実施例で作製したTFETは、MOSFETに匹敵する電気特性を示した。本出願人が試作したTFETからは次に示す様なデータが得られている。

【0150】(1)スイッチング性能（オン・オフ動作切り換えの俊敏性）の指標となるサブスレッショルド係数が、Nチャネル型TFETおよびPチャネル型TFETともに60～100mV/decade（代表的には60～85mV/decade）と小さい。

(2)TFETの動作速度の指標となる電界効果移動度( $\mu_{FE}$ )が、Nチャネル型TFETで200～650cm<sup>2</sup>/Vs（代表的には300～500cm<sup>2</sup>/Vs）、Pチャネル型TFETで100～300cm<sup>2</sup>/Vs（代表的には150～200cm<sup>2</sup>/Vs）と大きい。

(3)TFETの駆動電圧の指標となるしきい値電圧( $V_{th}$ )が、Nチャネル型TFETで0.5～1.5V、Pチャネル型TFETで-1.5～0.5Vと小さい。

【0151】以上の様に、極めて優れたスイッチング特性および高速動作特性が実現可能であることが確認されている。

【0152】(回路特性に関する知見)次に、本実施例を実施して形成したTFETを用いて作製されたリングオシレータによる周波数特性を示す。リングオシレータとはCMOS構造でなるインバータ回路を奇数段リング状に接続した回路であり、インバータ回路1段あたりの遅延時間を求めるのに利用される。実験に使用したリングオシレータの構成は次の様になっている。

段数：9段

TFETのゲート絶縁膜の膜厚：30nm及び50nm

TFETのゲート長：0.6 $\mu$ m

【0153】このリングオシレータによって発振周波数を調べた結果、最大値で1.04GHzの発振周波数を得ることができた。また、実際にLSI回路のTEGの一つであるシフトレジスタを作製して動作周波数を確認した。その結果、ゲート絶縁膜の膜厚30nm、ゲート長0.6 $\mu$ m、電源電圧5V、段数50段のシフトレジスタ回路において動作周波数100MHzの出力パルスが得られた。



【0154】以上の様なリングシレータおよびシフトレジスタの驚異的なデータは、本実施例のTFETがMOSFETに匹敵する、若しくは凌駕する性能（電気特性）を有していることを示している。

【0155】〔実施例6〕本願発明では活性層のソース領域またはドレイン領域となる部分を用いて結晶化に用いた触媒元素をゲッタリングしているが、ゲート絶縁膜等を形成する前に予め結晶を含む半導体膜中から触媒元素をゲッタリングしておくことも可能である。

【0156】その場合には、本出願人による特開平10-270363号公報または特開平10-247735号公報に記載された技術を用いると良い。

【0157】同公報に記載された技術は、結晶を含む半導体膜中に選択的に15族に属する元素（代表的にはリン）を添加し、その領域をゲッタリング領域として機能させるものである。

【0158】本実施例と実施例1に示したゲッタリング技術とを組み合わせることで、さらにチャネル形成領域に残存する触媒元素を低減することが可能となる。なお、本実施例の技術は実施例5の技術と組み合わせても良い。また、実施例2～4の実施例との組み合わせも可能である。

【0159】〔実施例7〕本実施例では実施例1と異なる工程で第3不純物領域及び第5不純物領域を形成する場合について図8を用いて説明する。

【0160】まず、実施例1の工程に従って図4（B）のリンドーブ工程の手前まで進めた。本実施例ではレジストマスク318、319を形成した後、ゲート絶縁膜305をエッチングしてゲート絶縁膜801、802を形成した。

【0161】そして、その状態でリンドーブ工程を行った。本実施例の場合、露呈した活性層に対して直接的にリンを添加することになるので、加速電圧は10keVと低めに設定した。

【0162】こうして第3不純物領域803、第5不純物領域804を形成した。なお、第3及び第5不純物領域には $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ （代表的には $1 \times 10^{20} \sim 5 \times 10^{20} \text{ atoms/cm}^3$ ）の濃度でリンが含まれるようにドーピング量を調節した。（図8（A））

【0163】この後、レジストマスク318、319を除去したら窒化シリコン膜805を形成してゲッタリングのための熱処理工程を行った。この熱処理工程の条件に関しては実施例1を参考にすれば良い。（図8（B））

【0164】この熱処理工程によって第3不純物領域803及び第5不純物領域804にはニッケルが集まり、 $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ （代表的には $1 \times 10^{18} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ ）の濃度でニッケルが含まれた第3不純物領域806及び第5不純物領域807が形成された。これらの領域はTFETと各配線とを接

続する電極として機能する。チャネル形成領域とのニッケル濃度の関係は既に説明した通りである。

【0165】これ以降の工程は実施例1に従えば良い。基本的な構造は図1又は図4（D）と同様なので説明は省略する。本実施例の場合、最終的にNFTFのゲート絶縁膜がチャネル形成領域、第1不純物領域及び第2不純物領域に接し、第3不純物領域には接していない点、並びにPTFTのゲート絶縁膜がチャネル形成領域及び第4不純物領域に接し、第5不純物領域には接していない点に特徴がある。

【0166】なお、本実施例の構成は実施例2～6のどの実施例とも自由に組み合わせることが可能である。

【0167】〔実施例8〕本実施例では、実施例1に示したゲッタリング工程（図4（C））で用いた窒化シリコン膜322の形成工程を、実施例1とは異なる時点で行う例について図9に示す。

【0168】まず実施例1の工程に従って図3（B）の工程までを行い、その後、1～10nm（好ましくは2～5nm）厚の窒化シリコン膜901を設けた。この窒化シリコン膜901の膜厚が厚すぎるとサイドウォール902を用いたゲートオーバーラップ構造が実現できなくなるので、薄くすることが好ましい。ただし、後の熱処理工程でゲート配線（タンタルの場合）の酸化を防ぐという効果も損ねないように注意が必要である。

【0169】そして、窒化シリコン膜901上にアモルファスシリコン膜（図示せず）を形成し、異方性エッチングによりサイドウォール902、903を形成した。

（図9（A））

【0170】なお、サイドウォール902、903の構成は実施例2または実施例3のような構成とすることも可能である。

【0171】次に、図9（A）の状態でのリンの添加工程を行い、第2不純物領域904を形成した。なお、リンの添加条件はほぼ実施例1と同様で良いが、窒化シリコン膜901の膜厚分を考慮して、加速電圧等の最適化を行うことが望ましい。なお、図示しないがこの時点ではPTFT側にも第2不純物領域が形成された。

【0172】第2不純物領域904を形成したら、レジストマスク905を形成し、ホリンドープ工程を行った。このときの条件もほぼ実施例1と同様で良いが、窒化シリコン膜901の膜厚を考慮する必要がある。こうして前述のリンドーブ工程で形成された第2不純物領域（図示せず）をP型に反転させ、第4不純物領域906を形成した。（図9（B））

【0173】次に、レジストマスク905を除去し、新たにレジストマスク907、908を形成した。そしてその状態で再びリンの添加工程を行い、第3不純物領域909及び第5不純物領域910を形成した。ドーピング条件は実施例1に従えば良いが窒化シリコン膜の膜厚を考慮することは言うまでもない。（図9（C））

【0174】次に、レジストマスク907、908を除去した後、実施例1と同様の条件でゲッターリングのための熱処理工程を行った。この熱処理工程後、第3不純物領域911及び第5不純物領域912には $1 \cdot 10^{17} \sim 1 \cdot 10^{20} \text{atoms/cm}^3$  (代表的には $1 \cdot 10^{18} \sim 5 \cdot 10^{19} \text{atoms/cm}^3$ ) の濃度でニッケルが存在した。チャンネル形成領域とのニッケル濃度の関係は既に説明した通りである。

【0175】以上の工程の後、実施例1と同様の工程を順次行うことによってCMOS回路が完成した。本実施例によって作製したCMOS回路の構造と図1に示したCMOS回路の構造とは窒化シリコン膜901の形成されている箇所が違うのみでその他は同一である。

【0176】なお、本実施例の構成は実施例2～7のいずれの構成とも自由に組み合わせることが可能である。

【0177】〔実施例9〕本実施例では、実施例7と実施例8とを組み合わせた場合の例について図10を用いて説明する。

【0178】まず実施例8の工程に従って図9(C)のリンドーブ工程の手前まで行った。そこで窒化シリコン膜901及びゲート絶縁膜(図示せず)を、レジストマスク907、908をマスクとしてエッチングしてゲート絶縁膜11、12及び窒化シリコン膜13、14を形成した。

【0179】窒化シリコン膜及びゲート絶縁膜のエッチングが終了したら、実施例7の条件に従ってリンの添加工程を行い、第3不純物領域15及び第5不純物領域16を形成した。(図10(A))

【0180】次に、レジストマスク907、908を除去した後、実施例7(実施例1)と同様の条件でゲッターリングのための熱処理工程を行った。この熱処理工程後、第3不純物領域17及び第5不純物領域18には $1 \cdot 10^{17} \sim 1 \cdot 10^{20} \text{atoms/cm}^3$  (代表的には $1 \cdot 10^{18} \sim 5 \cdot 10^{19} \text{atoms/cm}^3$ ) の濃度でニッケルが存在した。チャンネル形成領域とのニッケル濃度の関係は既に説明した通りである。

【0181】以上の工程の後、実施例1と同様の工程を順次行うことによってCMOS回路が完成した。本実施例によって作製したCMOS回路の構造と図1に示した構造とは、ゲート配線を覆う窒化シリコン膜とゲート絶縁膜の形状が異なるのみで他は同一であるので詳細な説明は省略する。

【0182】なお、本実施例の構成は実施例2～6のいずれの構成とも自由に組み合わせることが可能である。

【0183】〔実施例10〕実施例1ではCMOS回路を例にとって説明したが、本実施例ではアクティブマトリクス型液晶表示パネルにおいて画素マトリクス回路に本願発明を適用した場合について説明する。説明には図12を用いる。なお、図12(A)中においてA-A'で切断した断面構造図が図12(B)、その等価回路が

図12(C)に相当する。また、図12(B)に示す画素TFTは同一構造のNTFTが直列に接続されたダブルゲート構造であるので、片方のみに符号を付して説明することとする。

【0184】まず、実施例1の工程に従って、基板1400上に下地膜1401、チャンネル形成領域1402、第1不純物領域1403、第2不純物領域1404、第3不純物領域1405、1406、ゲート絶縁膜1407、ゲート配線1409、サイドウォール1408、窒化シリコン膜1410、第1層間絶縁膜1411、ソース配線1412、ドレイン配線1413を形成した。

【0185】そして、各配線上にハッシベーション膜として窒化シリコン膜1414、第2層間絶縁膜1415とを形成した。さらに、その上に第3層間絶縁膜1416を形成し、ITO、 $\text{SnO}_2$ 等の透明導電膜からなる画素電極1418を形成した。また、1417も画素電極である。

【0186】また、容量部は、容量配線1422を上部電極とし、アンドープシリコン層(真性半導体層又は $1 \cdot 10^{16} \sim 5 \cdot 10^{18} \text{atoms/cm}^3$ の濃度でボロンが添加された半導体層)1419と不純物領域1420(第1不純物領域1403と同濃度のリンを含む)とでなる下部電極とで、絶縁膜1421(ゲート絶縁膜1407から延在する)を挟んで形成した。なお、容量配線1422は、画素TFTのゲート配線1409と同時に形成され、接地または固定電圧に接続された。

【0187】また、絶縁膜1421は、画素TFTのゲート絶縁膜1407と同一の材料で構成された。また、アンドープシリコン層1419は、画素TFTのチャンネル形成領域1402と同じ材料で構成された。

【0188】このようにして、同一基板上に画素TFTと、容量部と、CMOS回路とを同時に作製し、集積化することができた。本実施例では一例として透過型LCDを例にとって説明したがこれに限定されないことは言うまでもない。

【0189】例えば、画素電極の材料として反射性の導電材料を用い、画素電極のパターンの変更、または幾つかの工程の追加・削除を適宜行えば反射型のLCDを作製することが可能である。

【0190】また、本実施例では、画素マトリクス回路の画素TFTのゲート配線をダブルゲート構造としているが、オフ電流のバラツキを低減するために、トリプルゲート構造等のマルチゲート構造としても構わない。また、開口率を向上させるためにシングルゲート構造としてもよい。

【0191】なお、本実施例の構成は実施例1～9のいずれの構成とも自由に組み合わせることが可能である。

【0192】〔実施例11〕本実施例では、実施例10とは異なる構造の容量部を形成した例を図13に示す。基本的な構成は実施例10とほぼ同様であるので相違点

のみに着目して説明する。本実施例の容量部は、第3不純物領域1501に接続されている不純物領域(第2不純物領域と同濃度のリンを含む)1502と、ゲート絶縁膜から延在する絶縁膜1503と容量配線1504で形成されている。

【0193】また、ブラックマスク1505をTFT形成側基板に設けた。なお、容量配線1504は画素TFTのソース配線及びドレイン配線と同時に形成され、接地または固定電圧に接続される。このようにして、同一基板に画素TFTと、容量部と、CMOS回路とを同時に作製し、集積化することができる。勿論、実施例1～9のいずれの実施例との組み合わせも可能である。

【0194】〔実施例12〕本実施例では、実施例10、11とは異なる容量部を形成した例を図14に示す。基本的な構成は実施例10とほぼ同様であるので相違点のみに着目して説明する。まず、実施例1に従って、第2層間絶縁膜1602と、遮光性を有する導電材料からなるブラックマスク1603とを形成した。さらに、その上に第3層間絶縁膜を形成し、ITO、SnO<sub>2</sub>等の透明導電膜からなる画素電極1604を形成した。

【0195】なお、ブラックマスク1603は画素TFT部を覆い、且つ、ドレイン配線1601と容量部を形成している。この時、容量部の誘電体は第2層間絶縁膜1602である。また、第2層間絶縁膜1602の一部をエッチングして、パッシベーション膜として設けた窒化シリコン膜1605を露呈させ、窒化シリコン膜1605のみを誘電体として用いる構造とすることもできる。

【0196】このようにして、同一基板に画素TFTと、容量部と、CMOS回路とを同時に作製し、集積化することができる。勿論、実施例1～9のいずれの実施例との組み合わせも可能である。

【0197】〔実施例13〕本実施例について図15を用いて説明する。本実施例では、画素TFTのチャネル形成領域の下方に絶縁膜1701を介して、バックゲート電極1702、1703を形成した。なお、ここでいうバックゲート電極とは、しきい値電圧の制御やオフ電流を低減する目的で設けられた電極であり、活性層(チャネル形成領域)を挟んでゲート配線とは逆側に設けられた疑似的なゲート電極をいう。

【0198】バックゲート電極1702、1703は導電性材料であれば問題なく用いることができるが、本願発明では触媒元素のゲッターリング工程で550～650℃程度の熱処理工程があるため、その温度に耐える耐熱性を要求する。例えば、ポリシリコン膜(真性であっても不純物が添加されていても良い)を用いたシリコンゲート電極を用いることは有効である。

【0199】また、絶縁膜1701はバックゲート電極のゲート絶縁膜として機能するため、ピンホール等の少

ない膜質の良い絶縁膜を用いる。本実施例では酸化窒化シリコン膜を用いるが、他にも酸化シリコン膜や窒化シリコン膜を用いることができる。ただし、その上にTFTが作製されるため、できるだけ平坦面を実現できるような材料が望ましい。

【0200】本実施例ではバックゲート電極1702、1703に電圧を印加することによってチャネル形成領域の電界分布を電気的に変化させ、しきい値電圧の制御やオフ電流の低減を可能とした。特に、本実施例のような画素TFTに対しては効果的である。

【0201】なお、本実施例の構成は実施例1～12のいずれの実施例とも自由に組み合わせることが可能である。

【0202】〔実施例14〕本実施例について図16を用いて説明する。本実施例は、実施の形態に示した構造とはゲート絶縁膜および保護膜の部分が異なっている例である。なお、図16では断面図を示し、上面からみた図は図11に相当する。図16において、401は絶縁表面を有する基板である。

【0203】NTFTの活性層は、チャネル形成領域402、一対の第1不純物領域403、一対の第2不純物領域404及び一対の第3不純物領域405を含んで形成されている。

【0204】また、チャネル形成領域402(409も同様)は真性半導体層又は $1 \cdot 10^{16} \sim 5 \cdot 10^{18} \text{atom/cm}^3$ の濃度でボロンが添加された半導体層である。

【0205】こうして形成された活性層の上にはゲート絶縁膜406、411が形成されている。図16の場合、ゲート絶縁膜406が第2不純物領域404にオーバーラップするような状態で形成されている。これは第2不純物領域404を形成する際のプロセス上の構造である。換言すればゲート絶縁膜406はチャネル形成領域402、第1不純物領域403及び第2不純物領域404に接して設けられる。

【0206】また、ゲート絶縁膜406、411上にはゲート配線407、412が設けられている。なお、熱処理に耐え得るゲート配線とするため保護膜を形成する方が好ましい。

【0207】また、408はサイドウォール、413は保護膜、414は第1層間絶縁膜、415および416はソース配線、417はドレイン配線、418は窒化シリコン層、419は第2層間絶縁膜である。

【0208】図16に示した構造を得る工程の一例について図17～図19を用いて以下に説明する。なお、上面図は図12(A)と同じである。

【0209】まず、実施例1と同様にして基板1001上に酸化シリコン膜1002でなる下地膜を20nm厚に形成した。なお、基板1001として、例えばガラス基板、石英基板を用いることができる。

【0210】次に、実施例1と同様にして酸化シリコン

膜1002上に30nm厚のアモルファスシリコン膜（非晶質シリコン膜）をプラズマCVD法により形成し、脱水素処理後、触媒元素を用いた熱結晶化法によりポリシリコン膜（結晶質シリコン膜または多結晶シリコン膜）を形成した。

【0211】次いで結晶質シリコン膜をパターンニングして図17（A）に示す島状のシリコン層からなる活性層1003、1004を形成した。なお、ポリシリコン膜を形成した後、エキシマレーザー光を照射して結晶性を高めても良い。また、活性層1003、1004を形成した後に行っても構わない。エキシマレーザー光の照射工程は公知の技術を用いれば良いので説明は省略する。

【0212】次に、実施例1と同様にして活性層1003、1004を覆って酸化シリコン膜でなるゲート絶縁膜1005を形成し、その上にタンタルと窒化タンタルの積層構造でなるゲート配線（ゲート電極を含む）1006、1007を形成した。ここでのゲート絶縁膜1005の膜厚は100nmとした。（図17（A））

【0213】こうして図17（A）の状態が得られたら、実施例1と同様にして1回目のリンドーブ工程（リンの添加工程）を行った。また、こうして形成された第1不純物領域1008、1009は長さ（幅）が0.5 $\mu$ m、リン濃度が $1 \times 10^{17}$ atoms/cm<sup>3</sup>となるようにドーブ量を調節した。実施例1と同様にこの時のリン濃度を（n-）で表すことにする。

【0214】第1不純物領域1008、1009はゲート配線1006、1007をマスクとして自己整合的に形成された。この時、ゲート配線1006、1007の直下には真性な結晶質シリコン層が残り、チャネル形成領域1010、1011が形成された。ただし、実際には多少ゲート配線の内側に回り込んで添加される分もあるため、ゲート配線1006、1007と第1不純物領域1008、1009とがオーバーラップするような構造となった。（図17（B））

【0215】次に、実施例1と同様にしてゲート配線1006、1007を覆うようにして0.1～1 $\mu$ m（代表的には0.2～0.3 $\mu$ m）の厚さの非晶質シリコン層を形成し、異方性エッチングを行うことによりサイドウォール1012、1013を形成した。サイドウォール1012、1013の幅（ゲート配線の側壁からみた厚さ）は0.2 $\mu$ mとした。（図17（C））

【0216】なお、本実施例では実施例1と同様に非晶質シリコン層として不純物を何も添加しないものを用いるため、真性なシリコン層でなるサイドウォールが形成された。

【0217】図17（C）の状態が得られたら、実施例1と同様にして2回目のリンドーブ工程を行った。この場合も1回目と同様に加速電圧を80keVとした。また、今回形成された第2不純物領域1014、1015にはリンが $1 \times 10^{18}$ atoms/cm<sup>3</sup>の濃度で含まれるよう

にドーブ量を調節した。実施例1と同様にこの時のリン濃度を（n）で表すことにする。

【0218】なお、図17（D）に示すリンドーブ工程ではサイドウォール1012、1013の真下のみに第1不純物領域1008、1009が残る。即ち、この工程で図16に示した第1不純物領域403が画定した。この第1不純物領域403は1stLDD領域として機能することになる。

【0219】次に、NTFTの一部を覆うレジストマスク1016とPTFTの一部を覆うレジストマスク1017を形成した。そして、この状態でゲート絶縁膜1005をドライエッチングして加工されたゲート絶縁膜1018を形成した。（図17（E））この時、PTFTにおいては、PTFTの一部を覆うレジストマスク1017によって、図17（E）中に示した距離X（1～20 $\mu$ m、代表的には2 $\mu$ m）だけ活性層の端部を露出させた。

【0220】また、この時、ゲート絶縁膜1018がサイドウォール1012よりも外側に突出している部分の長さ（ゲート絶縁膜1018が第2不純物領域1014に接している部分の長さ）が、図16に示す第2不純物領域404の長さ（幅）を決定する。従って、レジストマスク1016、1017のマスク合わせは精度良く行うことが必要である。従来はLDD領域が一つであったので、その幅のバラツキが電気特性に大きく影響してしまっていたが、本実施例の場合は実質的にLDD領域が二つあるため、第2不純物領域の幅が多少ばらついても問題とはならなかった。

【0221】図17（E）の状態が得られたら、3回目のリンドーブ工程を行った。今回は露出した活性層にリンを添加することになるため、加速電圧を10keVと低めに設定した。なお、こうして形成された第3不純物領域1019、1020にはリンが $5 \times 10^{20}$ atoms/cm<sup>3</sup>の濃度で含まれるようにドーブ量を調節した。この時のリン濃度を（n+）で表すことにする。（図18（A））

【0222】この工程ではレジストマスク1016によって遮蔽された部分にはリンが添加されないため、その部分には第2不純物領域1014がそのまま残る。従って、ここで図16に示す第2不純物領域404が画定した。また同時に、図16に示す第3不純物領域405が画定した。

【0223】この第2不純物領域1014は2ndLDD領域として機能し、第3不純物領域405はソース領域又はドレイン領域として機能することになる。

【0224】なお、本実施例では第3不純物領域1019、1020の濃度が少なくとも $1 \times 10^{19}$ atoms/cm<sup>3</sup>以上（好ましくは $1 \times 10^{20} \sim 5 \times 10^{21}$ atoms/cm<sup>3</sup>）となるようにリンの添加量を調節することが望ましい。これ以下の濃度であると、効果的なリンによるゲッターリ

ング効果を期待できなくなる恐れがある。

【0225】次に、レジストマスク1016、1017を除去し、NFTF及びPTFT全部を覆う保護膜1021を形成した。この時、保護膜1021として設けた窒化シリコン膜はゲート配線の材料として用いたタンタル膜が酸化されるのを防ぐ。ゲート配線が酸化されにくい、酸化によって形成される酸化膜がエッチングしやすいものであれば問題はないが、タンタル膜は酸化されやすいばかりでなく、酸化タンタル膜が非常にエッチングしにくい膜であるため、窒化シリコン膜1021を設けることが望ましかった。窒化シリコン膜1021に代えて、酸化シリコン膜、窒化酸化シリコン膜、またはこれらの積層膜を用いることができ、その膜厚範囲は1～30nm、好ましくは5～20nm（本実施例では膜厚10nmの窒化シリコン膜）とした。また、スパッタ法（ボロンを含有したシリコンターゲットを用い、Arガスと窒素ガスを用いた）によるボロンを含む窒化シリコン膜は熱伝導率が高く、放熱層として働くため望ましい。

【0226】次いで、500～650℃、代表的には550～600℃で2～24時間、代表的には4～12時間（本実施例では窒素雰囲気中で600℃12時間）の熱処理を行った。（図18（B））この熱処理は活性層中に残存したニッケルを除去する。本実施例ではニッケルを除去する技術として、特開平10-270363号公報に記載された技術を用いた。特開平10-270363号公報に記載された技術は、半導体の結晶化に用いたニッケルを、結晶化後に15族に属する元素（代表的にはリン）のゲッターリング作用を用いて除去する技術である。この熱処理によって活性層中に残存した触媒元素

（本実施例ではニッケル）は、矢印の方向に向かって移動し、第3不純物領域1019、1020中に捕獲（ゲッターリング）される。ただし、熱処理をする前に、第3不純物領域1019、1020には $1 \times 10^{19}$ atoms/cm<sup>3</sup>の濃度以上、好ましくは $1 \times 10^{20} \sim 5 \times 10^{21}$ atoms/cm<sup>3</sup>の濃度でリンを含有させることが必要である。この第3不純物領域1019、1020をゲッターリング領域と呼ぶ。

【0227】また、こうして形成されたチャネル領域1010、1011に含まれるニッケル濃度は、 $2 \times 10^{17}$ atoms/cm<sup>3</sup>以下、代表的には $1 \times 10^{14} \sim 5 \times 10^{16}$ atoms/cm<sup>3</sup>にまで低減された。なお、第3不純物領域1019、1020に含まれるニッケル濃度は、 $1 \times 10^{18} \sim 1 \times 10^{21}$ atoms/cm<sup>3</sup>、代表的には $5 \times 10^{18} \sim 5 \times 10^{19}$ atoms/cm<sup>3</sup>である。また、この加熱処理によって膜中の不純物（リン及びボロン）を活性化させることができる。なお、ゲート配線1006、1007の上部は窒化シリコン膜1021と接し、配線の側部はサイドウォール1012、1013に接しているため、加熱処理による配線の変質（酸化等）はほとんどない。

【0228】次に、NFTF全部を覆うレジストマスク

1022を形成した。そして、まずPTFTの窒化シリコン膜1021を除去した。（図18（C））

【0229】続いて、PTFTのサイドウォール1013及び第3の不純物領域1020を除去した。（図18（D））なお、この除去工程によりPTFTの活性層の幅が決定する。

【0230】さらにゲート絶縁膜1005をドライエッチングしてゲート配線1007と同形状のゲート絶縁膜1023を形成した。（図19（A））ここでは、同時に下地膜もエッチングされるが図示しない。

【0231】図19（A）の状態が得られたら、ボロンドープ工程（ボロンの添加工程）を行った。ここでは加速電圧を10keVとし、形成された第4不純物領域1024に $3 \times 10^{21}$ atoms/cm<sup>3</sup>の濃度でボロンが含まれるようにドープ量を調節した。この時のボロン濃度を（p++）で表すことにする。（図19（B））

【0232】この時、ボロンもゲート配線1007の内側に回り込んで添加されたため、チャネル形成領域1011はゲート配線1007の内側に形成された。また、この工程ではPTFT側に形成されていた第1不純物領域1009及び第2不純物領域1015をボロンで反転させてP型にしている。従って、実際にはもともと第1不純物領域だった部分と第2不純物領域だった部分とで抵抗値が変化するが、十分高い濃度でボロンを添加しているので問題とはならない。

【0233】こうすることで図16に示す第4不純物領域1024が画定する。第4不純物領域1024はゲート配線1007をマスクとして完全に自己整合的に形成され、ソース領域又はドレイン領域として機能する。本実施例ではPTFTに対してLDD領域もオフセット領域も形成していないが、PTFTはもともと信頼性が高いので問題はなく、かえってLDD領域等を設けない方がオン電流を稼ぐことができるので都合が良い場合もある。

【0234】こうして最終的には図19（B）に示すように、NFTFの活性層にはチャネル形成領域、第1不純物領域、第2不純物領域及び第3不純物領域が形成され、PTFTの活性層にはチャネル形成領域及び第4不純物領域のみが形成される。

【0235】そのようにして図19（B）の状態が得られたら、レジストマスク1022を除去した後、ボロンの熱活性化またはレーザー活性化を行った。この際にゲート電極を熱から保護する膜を形成してもよい。次いで、第1層間絶縁膜1025を1μmの厚さに形成した。第1層間絶縁膜1025としては酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、有機樹脂膜またはそれらの積層膜を用いることができる。本実施例ではアクリル樹脂膜を採用した。

【0236】第1層間絶縁膜1025を形成した後、コンタクトホール1026の形成を行ない、金属材料でなるソース

配線1026、1027及びドレイン配線1028を形成した。本実施例ではチタンを含むアルミニウム膜をチタンで挟み込んだ構造の三層配線を用いた。

【0237】また、第1層間絶縁膜1025としてBCB（ベンゾシクロフテン）と呼ばれる樹脂膜を用いた場合、平坦性が高まると同時に、配線材料として銅を用いることが可能となる。銅は配線抵抗が低いため、配線材料として非常に有効である。

【0238】こうしてソース配線及びドレイン配線を形成したら、パッシベーション膜として50nm厚の窒化シリコン膜1029を形成した。さらにその上に第2層間絶縁膜1030を形成した。この第2層間絶縁膜1030としては前記第1層間絶縁膜1025と同様の材料を用いることが可能である。本実施例では50nm厚の酸化シリコン膜上にアクリル樹脂膜を積層した構造を採用した。

【0239】以上のような工程を経て、図19（C）に示すような構造のCMOS回路が完成した。本実施例によって形成されたCMOS回路は、NTFTが優れた信頼性を有するため、回路全体として信頼性が大幅に向上した。また、本実施例のような構造とすると、NTFTとPTFTとの特性バランス（電気特性のバランス）が良くなるため、動作不良を起こしにくくなることが分かった。

【0240】また、特開平7-130652号公報記載の従来技術を用いた際に懸念されたチャネル形成領域内のニッケル（触媒元素）の影響は、本実施例に示したようなゲッタリング工程を行うことにより解決された。

【0241】ただし、本実施例で説明した構造はあくまで一実施例であり、図16～19に示した構造に限定される必要はない。本願発明で重要な点はNTFTの活性層の構造であり、その点さえ違えなければ本願発明の効果をを得ることができる。

【0242】なお、本実施例は、実施例2～6と自由に組み合わせることが可能である。

【0243】〔実施例15〕本実施例では、実施例1または実施例14の結晶化工程において、活性層となる結晶質半導体膜をレーザー光または強光により形成する例を示す。ガラス基板に形成された酸化シリコン膜上に30nm厚のアモルファスシリコン膜（非晶質シリコン膜）をプラズマCVD法により形成し、脱水素処理後、エキシマレーザーアニールを行ってポリシリコン膜（結晶質シリコン膜または多結晶シリコン膜）を形成した。

【0244】この結晶化工程は公知のレーザー結晶化技術または熱結晶化技術を用いれば良い。用いるべきレーザーとしては、各種エキシマレーザーのごとき紫外線レーザーや、YAGレーザー、ガラスレーザー、ルビーレーザーのごとき赤外線、可視光線レーザーが好ましい。また、アルゴンレーザー等の連続発振レーザーでもよい。本実施例ではパルス発振レーザーのKrFエキシマレ

ザーを線状に加工してアモルファスシリコン膜の結晶化を行った。

【0245】なお、本実施例では初期膜をアモルファスシリコン膜としてレーザーアニールで結晶化してポリシリコン膜を得たが、初期膜として微結晶シリコン膜を用いても構わないし、直接ポリシリコン膜を成膜しても良い。勿論、成膜したポリシリコン膜にレーザーアニールを行っても良い。また、レーザーアニールの代わりにフッ素アニールを行っても良い。また、レーザー結晶化の前に触媒元素（ニッケル等）を初期膜に添加しても良い。

【0246】以上のような技術を用いて結晶質半導体膜（結晶質シリコン膜や結晶質シリコンゲルマニウム膜を含む）を形成し、パターンニングを行って活性層を形成すれば良い。その後の工程は実施例1または実施例14に従えば良い。

【0247】〔実施例16〕本実施例では、図19（A）で示される実施例14のゲート絶縁膜1023の形成工程を行わず、ゲート絶縁膜を介してボロンドープを行う例を図20に示す。本実施例は図18（D）で示される工程まで実施例1と同一であるため、その工程は省略する。

【0248】本実施例では実施例14に従い、図18（D）で示される状態を得た後、ボロンの添加工程を行った。（図20（A））ここでは、ゲート絶縁膜1123を介して第4不純物領域1124に $3 \times 10^{20}$ atoms/cm<sup>3</sup>の濃度でボロンが含まれるようにドーズ量及び加速電圧を調節した。

【0249】このようにして図20（A）の状態が得られたら、レジストマスクを除去した後、ボロンの熱活性化またはレーザー活性化を行った。この際にゲート電極を熱から保護する膜を形成してもよい。次いで、実施例14と同様にして第1層間絶縁膜1125、金属材料であるソース配線1126、1127及びドレイン配線1128、パッシベーション膜1129、第2層間絶縁膜1130を形成した。なお、エッチングレートを考えて活性層にダメージを与えないようにゲート絶縁膜1127と窒化シリコン膜の膜厚を調節し、ソース配線1126、1123及びドレイン配線1128を形成するためのコンタクトホールを概略同じ深さに形成することが好ましい。

【0250】以上のような工程を経て、図20（B）に示すような構造のCMOS回路が完成した。このようにすることで、工程を簡略化させることができた。本実施例の場合、最終的にNTFTのゲート絶縁膜がチャネル形成領域、第1不純物領域及び第2不純物領域に接し、第3不純物領域には接していない点、並びにPTFTのゲート絶縁膜がチャネル形成領域及び第4不純物領域に接している点に特徴がある。勿論、実施例15との組み合わせも可能である。

【0251】〔実施例17〕本実施例では、実施例14とは異なる時点で保護膜を形成する例を図21に示した。実施例14では、第3のリンドープ工程後に保護膜を形成したが、本実施例では、図17(C)で示される状態を得た後に、保護膜1200を形成する工程である。基本的な構成は実施例1と同様であるので、相違点のみに着目して説明する。ただし、簡略化のため、保護膜以外の符号に関しては実施例14と同一のものをを用いた。

【0252】まず、実施例14に従い図17(C)と同一の状態を形成する。次いで、窒化シリコン膜からなる膜厚20nmの保護膜1200を形成した。(図21(A))

【0253】次いで、2回目のリンドープ工程(リンの添加工程)を行い、第2不純物領域を形成した。ただし、保護膜1200の膜厚も考慮に入れてドーピング条件(ドーピング量、加速電圧等)を調節する。また、2回目のリンドープ工程前に保護膜を形成せずに、2回目のリンドープ工程後に保護膜1200を形成してもよい。

【0254】次いで、レジストマスク1016、1017を形成した。次いで、レジストマスク1016、1017をマスクとして保護膜、ゲート絶縁膜を選択的に除去した。こうして形成された保護膜1201とゲート絶縁膜1018は同一パターン形状であり、活性層の一部が露呈する。次いで、3回目のリンドープ工程を行い、第3不純物領域1019、1020を形成した。

(図21(B))

【0255】こうして図21(B)の状態が得られたら、レジストマスク1016、1017を除去した。次いで、実施例14と同様な熱処理工程を行い、膜中の触媒元素を第3不純物領域1019、1020にゲッタリングさせた。(図21(C))

【0256】次に、NTFT全部を覆うレジストマスク1022を形成した。そして、まずPTFTの保護膜1201を除去した。続いて、PTFTのサイドウォール1013及び第3の不純物領域1020を除去した。さらにゲート絶縁膜1018をドライエッチングしてゲート配線と同形状のゲート絶縁膜1023を形成した。次いで、実施例14と同様なホロンドープを行い、第4不純物領域1024を形成した。(図21(D))

【0257】以降の工程は、実施例14に従えば図21(E)で示されるTFTが完成する。勿論、実施例14~16のいずれの実施例との組み合わせも可能である。

【0258】このような工程とすることで、ゲート電極の酸化等による劣化を効果的に保護膜で防止することができる。また、ソース配線1026及びドレイン配線1027の形成時において、第3不純物領域及び第4不純物領域に接して保護膜が設けられていないため、コンタクトホール形成が容易となった。

【0259】〔実施例18〕本実施例では、実施例14

とは異なる時点で保護膜を形成する例を図22に示した。実施例14では、第3のリンドープ工程後に保護膜を形成したが、本実施例では、図17(B)で示される状態を得た後に、保護膜1210を形成する工程である。基本的な構成は実施例1と同様であるので、相違点のみに着目して説明する。ただし、簡略化のため、保護膜以外の符号に関しては実施例14と同一のものをを用いた。

【0260】まず、実施例14に従い図17(B)と同一の状態を形成する。次いで、窒化シリコン膜からなる膜厚5nmの保護膜1210を形成した。次いで保護膜上にサイドウォールを形成した。保護膜1210の膜厚範囲は、1~10nm、好ましくは2~5nmである。この窒化シリコン膜1210の膜厚が厚すぎるとサイドウォールを用いたゲートオーバーラップ構造が実現できなくなるので、薄くすることが好ましい。ただし、後の熱処理工程でゲート配線(タンタルの場合)の酸化を防ぐという効果も損ねないように注意が必要である。次いで、2回目のリンドープ工程(リンの添加工程)を行い、第2不純物領域1014、1015を形成した。(図22

(A))ただし、保護膜1210の膜厚も考慮に入れてドーピング条件(ドーピング量、加速電圧等)を調節する。また、2回目のリンドープ工程後に保護膜を形成せずに、2回目のリンドープ工程前に保護膜を形成してもよい。

【0261】次いで、レジストマスク1016、1017を形成した。次いで、レジストマスク1016、1017をマスクとして保護膜、ゲート絶縁膜を選択的に除去した。こうして形成された保護膜1211とゲート絶縁膜1018は同一形状であり、活性層の一部が露呈する。次いで、3回目のリンドープ工程を行い、第3不純物領域1019、1020を形成した。(図22

(B))

【0262】こうして図22(B)の状態が得られたら、レジストマスク1016、1017を除去した。次いで、実施例14と同様な熱処理を行い、活性層中の触媒元素を第3不純物領域1019、1020にゲッタリングさせた。(図22(C))

【0263】次に、NTFT全部を覆うレジストマスク1022を形成した。そして、まずPTFTの保護膜1211を除去した。続いて、PTFTのサイドウォール1013及び第3の不純物領域1020を除去した。さらにゲート絶縁膜1018をドライエッチングしてゲート配線と同形状のゲート絶縁膜1023を形成した。次いで、実施例14と同様なホロンドープを行い、第4不純物領域1024を形成した。(図22(D))

【0264】以降の工程は、実施例14に従えば図22(E)で示されるTFTが完成する。勿論、実施例14~17のいずれの実施例との組み合わせも可能である。

【0265】このような工程とすることで、ゲート電極

の酸化等による劣化を効果的に保護膜1211で防止することができる。また、ソース配線1026及びドレイン配線1027の形成時において、第3不純物領域及び第4不純物領域に接して保護膜が設けられていないため、コンタクトホール形成が容易となった。また、サイドウォール形成時において、保護膜をエッチングストッパーとして用いてもよい。

【0266】〔実施例19〕本実施例では、実施例18とは異なる工程例を図23に示した。本実施例では、図22(B)で示される状態を得た後に、保護膜を除去する工程である。基本的な構成は実施例18と同様であるので、相違点のみに着目して説明する。ただし、簡略化のため、保護膜以外の符号に関しては実施例18と同一のものを用いた。なお、図22(B)と図23(A)は同一である。

【0267】まず、実施例18に従い図22(B)と同一の状態を形成する。図22(B)の状態が得られたら、レジストマスク1016、1017を除去した。さらに、サイドウォールをマスクとして保護膜1211を除去し、保護膜1212を形成した。(図23(B))

【0268】次いで、実施例14と同様な熱処理を行い、触媒元素を第3不純物領域1019、1020にゲッタリングさせた。(図23(C))

【0269】次に、NTFT全部を覆うレジストマスク1022を形成した。そして、まずPTFTの保護膜1212を除去した。続いて、PTFTのサイドウォール1013及び第3の不純物領域1020を除去した。さらにゲート絶縁膜1018をドライエッチングしてゲート配線と同形状のゲート絶縁膜1023を形成した。次いで、実施例1と同様なボロンドープを行い、第4不純物領域1024を形成した。(図23(D))

【0270】以降の工程は、実施例18に従えば図23(E)で示されるTFTが完成する。勿論、実施例14～18のいずれの実施例との組み合わせも可能である。

【0271】〔実施例20〕本実施例では実施例14に従い、図17(D)で示される状態を得た後、レジストマスク1016、1017を形成して、3回目のリンの添加工程を行った。(図24(A))ここでは、ゲート絶縁膜1005を介して第3不純物領域1019、1020にリンが $1 \times 10^{20} \text{atoms/cm}^3$ の濃度で含まれるようにドーピング量及び加速電圧を調節した。

【0272】このようにして図24(A)の状態が得られたら、ゲート絶縁膜1005を選択的に除去した後、レジストマスクを除去した。その後、実施例1と同様にして保護膜1021を形成し、熱処理を行った。(図24(B))

【0273】本実施例ではゲート絶縁膜1005のエッチング工程を行っているが、この工程を省略し、最終工程までゲート絶縁膜1005を残すことも可能である。

この場合、ゲート絶縁膜1005を成膜した後は活性層が露呈することがないため、処理雰囲気から汚染されるような心配がない。

【0274】以降の工程は、実施例14に従えばTFTが完成する。勿論、実施例14～19のいずれの実施例との組み合わせも可能である。

【0275】〔実施例21〕本実施例では本願発明を実施して形成したTFTで回路を組み、同一基板上にドライバ回路(シフトレジスタ回路、ハーフア回路、サンプリング回路、信号増幅回路など)と画素マトリクス回路とを一体形成したアクティブマトリクス型液晶表示装置を作製した場合の例について説明する。

【0276】実施例14ではCMOS回路を例にとって説明したが、本実施例ではCMOS回路(図16、図25)を基本単位としたドライバ回路と、NTFTを画素TFTとした画素マトリクス回路(図25)とを同一基板上に形成した。図11(A)中においてA-Aで切断した断面構造図が図25に相当する。また、図25に示す画素TFTは同一構造のNTFTが直列に接続されたダブルゲート構造であるので、片方のみに符号を付して説明する。

【0277】なお、画素TFTは実施例14の工程に従ってソース配線及びドレイン配線まで形成した後、ドレイン配線に接続するように画素電極を形成した構造とすれば良い。以下に作製方法を簡略に示す。

【0278】まず、実施例14の工程に従って、基板1300上に下地膜1301、チャネル形成領域1302、第1不純物領域1303、第2不純物領域1304、第3不純物領域1305、1306、ゲート絶縁膜1307、ゲート配線1309、サイドウォール1308、保護膜1310、第1層間絶縁膜1311、ソース配線1312、ドレイン配線1313を形成した。

【0279】そして、保護膜1310が形成された第1層間絶縁膜上に第2層間絶縁膜1315とを形成する。さらに、その上に第3層間絶縁膜1316を形成し、ITO、 $\text{SnO}_2$ 等の透明導電膜からなる画素電極1318を形成した。また、1317も画素電極である。

【0280】また、容量部は、容量配線1322を上部電極とし、アンダーピシリン層(真性半導体層または $1 \times 10^{16} \sim 5 \times 10^{18} \text{atoms/cm}^3$ の濃度でボロンが添加された半導体層)1319と不純物領域1320とでなる下部電極として、絶縁膜1321を挟んで形成した。なお、容量配線1322は、画素TFTのゲート配線と同時に形成され、接地または固定電圧に接続した。また、絶縁膜1321は、画素TFTのゲート絶縁膜1307と同一の材料で構成されている。また、真性領域1319は、画素TFTのチャネル形成領域と同じ材料で構成されている。また、不純物領域1320は、CMOS回路のNTFTの第1不純物領域と同じ材料で構成されている。このようにして、同一基板上に画素TFT



と、容量部と、CMOS回路とを同時に作製し、集積化することができる。

【0281】〔実施例22〕本実施例では、実施例21とは異なる構造の容量部を形成した例を示す。基本的な構成は実施例21とほぼ同様であるので相違点のみに着目して説明する。本実施例の容量部は、第3不純物領域3001に接続されている第2不純物領域3002と、絶縁膜3003と容量配線3004で形成されている。この容量部を備えたTFT形成側基板の断面構造図を図26に示した。

【0282】また、ブラックマスク3005をTFT形成側基板に設けた。なお、容量配線3004は画素TFTのソース配線及びドレイン配線と同時に形成され、接地または固定電圧に接続される。このようにして、同一基板に画素TFTと、容量部と、CMOS回路とを同時に作製し、集積化することができる。勿論、実施例14～20のいずれの実施例との組み合わせも可能である。

【0283】〔実施例23〕本実施例では、実施例20、21とは異なる容量部を形成した例を示す。基本的な構成は実施例21とほぼ同様であるので相違点のみに着目して説明する。まず、実施例14に従って、保護膜が形成された第1層間絶縁膜上に第2層間絶縁膜3102と、遮光性を有する導電材料からなるブラックマスク3103とを形成する。さらに、その上に第3層間絶縁膜が形成され、ITO、SnO<sub>2</sub>等の透明導電膜からなる画素電極3104を接続する。

【0284】なお、ブラックマスク3103は画素TFT部を覆い、且つ、ドレイン配線3101と容量部を形成している。この容量部を備えたTFT形成側基板の断面構造図を図27に示した。このようにして、同一基板に画素TFTと、容量部と、CMOS回路とを同時に作製し、集積化することができる。勿論、実施例14～20のいずれの実施例との組み合わせも可能である。

【0285】〔実施例24〕本実施例では、チャネル形成領域の下方に絶縁膜3202を介して、バックゲート電極3201を形成した場合の例を図28に示す。

【0286】このバックゲート電極3201へ電子を注入することによってしきい値電圧を変化させ、所望のしきい値電圧に制御することができる。特に、本実施例のような画素TFTにおいては、しきい値電圧を適宜制御して消費電力を低減することが望ましい。勿論、実施例14～24のいずれの実施例との組み合わせも可能である。

【0287】〔実施例25〕本実施例では本願発明を実施して形成したTFTで回路を組み、同一基板上にドライバ回路（シフトレジスタ回路、バッファ回路、サンプリング回路、信号増幅回路など）と画素マトリクス回路とを一体形成したアクティブマトリクス型液晶表示パネルを作製した場合の例について説明する。

【0288】実施例1ではCMOS回路を例にとりて説

明したが、本実施例ではCMOS回路を基本単位としたドライバ回路と、NTFTを画素TFTとした画素マトリクス回路とを同一基板上に形成した。なお、画素TFTはダブルゲート構造やトリプルゲート構造といったいわゆるマルチゲート構造でも良い。

【0289】なお、画素TFTは実施例1または実施例14の工程に従ってソース配線及びドレイン配線まで形成した後、ドレイン配線に接続するように画素電極を形成した構造とすれば良い。本願発明はNTFTの構造に特徴があり、これを画素TFTに適用することは公知の技術で容易であるため説明は省略する。

【0290】同一基板上にドライバ回路及び画素マトリクス回路を形成したら、配向膜を形成してTFT形成側基板（アクティブマトリクス基板）がほぼ完成する。そして、対向電極と配向膜とを備えた対向基板を用意し、アクティブマトリクス基板と対向基板との間に液晶材料を封入すれば図29に示す様な構造のアクティブマトリクス型液晶表示装置（液晶表示パネルまたは液晶モジュールともいう）が完成する。液晶材料を封入する工程は、公知のセル組工程を用いれば良いので詳細な説明は省略する。

【0291】なお、図29において21は絶縁表面を有する基板、22は画素マトリクス回路、23はソースドライバ回路、24はゲイトドライバ回路、25は対向基板、26はFPC（フレキシブルプリントサーキット）、27はD/Aコンバータや補正回路などの信号処理回路である。なお、複雑な信号処理回路はICチップで形成して、そのICチップをOGのように基板上に取り付けても良い。

【0292】さらに、本実施例では液晶表示装置を例に挙げて説明しているが、アクティブマトリクス型の表示装置であればEL（エレクトロルミネッセンス）表示装置やEC（エレクトロクロミックス）表示パネル、イメージセンサ等、他の電気光学装置に適用することも可能である。

【0293】また、本実施例の電気光学装置は実施例1～24のどのような組み合わせからなる構成を用いても実現することができる。

【0294】〔実施例26〕本願発明のTFT構造は実施例25に示した電気光学装置だけでなく、あらゆる半導体回路に適用することが可能である。即ち、RISCプロセッサ、ASICプロセッサ等のマイクロプロセッサに適用しても良いし、D/Aコンバータ等の信号処理回路から携帯機器（携帯電話、PHS、モバイルコンピュータ）用の高周波回路に適用しても良い。

【0295】さらに、従来のMOSFET上に層間絶縁膜を形成し、その上に本願発明を用いて半導体回路を作製したような三次元構造の半導体装置を実現することも可能である。このように本願発明は現在LSIが用いられている全ての半導体装置に適用することが可能であ

る。即ち、SIMOX、Smart-Cut、SOITEC社の登録商標)、ELTRAN(キャノン株式会社の登録商標)などのSOI構造(単結晶半導体薄膜を用いたTFT構造)に本願発明を適用しても良い。

【0296】また、本実施例の半導体回路は実施例1～25のどのような組み合わせからなる構成を用いても実現することができる。

【0297】〔実施例27〕本願発明を実施して形成されたTFTは様々な電気光学装置や半導体回路に適用することができる。即ち、それら電気光学装置や半導体回路を表示部の部品として組み込んだ電子機器全てに本願発明は適用できる。

【0298】その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクションTV、ヘッドマウントディスプレイ(ゴーグル型ディスプレイ)、カーナビゲーション、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)などが挙げられる。それらの一例を図30に示す。

【0299】図30(A)はパーソナルコンピュータであり、本体2001、画像入力部2002、表示部2003、キーボード2004で構成される。本願発明は画像入力部2002、表示部2003やその他の信号制御回路に適用することができる。

【0300】図30(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明を表示部2102、音声入力部2103やその他の信号制御回路に適用することができる。

【0301】図30(C)はモバイルコンピュータ(モバイルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205で構成される。本願発明は表示部2205やその他の信号制御回路に適用できる。

【0302】図30(D)はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303で構成される。本願発明は表示部2302やその他の信号制御回路に適用することができる。

【0303】図30(E)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405で構成される。なお、この装置は記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットをすることができる。本願発明は表示部2402やその他の信号制御回路に適用することができる。

【0304】図30(F)はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部(図示しない)で構成される。

本願発明を表示部2502やその他の信号制御回路に適用することができる。

【0305】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1～26のどのような組み合わせからなる構成を用いても実現することができる。

【0306】〔実施例28〕また、実施例25に示した電気光学装置を用いてプロジェクターに適用することができる。即ち、電気光学装置を表示装置に組み込んだプロジェクターに適用することができる。

【0307】図31(A)はフロント型プロジェクターであり、投射装置2601、スクリーン2602で構成される。本願発明は投射装置の液晶表示装置やその他の信号制御回路に適用することができる。

【0308】図31(B)はリア型プロジェクターであり、本体2701、投射装置2702、ミラー2703、スクリーン2704で構成される。本願発明は投射装置の液晶表示装置やその他の信号制御回路に適用することができる。

【0309】なお、図31(C)は、図31(A)及び図31(B)中における投射装置2601、2702の構造の一例を示した図である。投射装置2601、2702は、光源光学系2801、ミラー2802、2804～2806、ダイクロイックミラー2803、プリズム2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図31(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0310】また、図31(D)は、図31(C)中における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801は、リフレクター2811、光源2812、レンズアレイ2813、2814、偏光変換素子2815、集光レンズ2816で構成される。なお、図31(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

【0311】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1～24のどのような組み合わせからなる構成を用いても実現することができる。

【0312】〔実施例29〕本実施例では、本願発明を用いてEL(エレクトロルミネッセンス)表示装置を作

製した例について説明する。

【0313】図34(A)は本願発明を用いたEL表示装置の上面図である。図34(A)において、4010は基板、4011は画素部、4012はソース側駆動回路、4013はゲート側駆動回路であり、それぞれの駆動回路は配線4014~4016を経てFPC4017に至り、外部機器へと接続される。

【0314】このとき、少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてカバー材6000、シーリング材7000、密封材(第2のシーリング材)7001が設けられている。

【0315】また、図34(B)は本実施例のEL表示装置の断面構造であり、基板4010、下地膜4021の上に駆動回路用TFT(但し、ここではnチャネル型TFTとpチャネル型TFTを組み合わせたCMOS回路を図示している。)4022及び画素部用TFT4023(但し、ここではEL素子への電流を制御するTFTだけ図示している。)が形成されている。これらのTFTは公知の構造(トップゲート構造またはボトムゲート構造)を用いれば良い。

【0316】本願発明は、駆動回路用TFT4022、画素部用TFT4023に際して用いることができる。

【0317】本願発明を用いて駆動回路用TFT4022、画素部用TFT4023が完成したら、樹脂材料でなる層間絶縁膜(平坦化膜)4026の上に画素部用TFT4023のドレインと電気的に接続する透明導電膜でなる画素電極4027を形成する。画素電極4027が透明導電膜である場合、画素部用TFTとしては、Pチャネル型TFTを用いることが好ましい。透明導電膜としては、酸化インジウムと酸化スズとの化合物(ITOと呼ばれる)または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極4027を形成したら、絶縁膜4028を形成し、画素電極4027上に開口部を形成する。

【0318】次に、EL層4029を形成する。EL層4029は公知のEL材料(正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層)を自由に組み合わせ、積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、EL材料には低分子系材料と高分子系(ポリマー系)材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【0319】本実施例では、シャドーマスクを用いて蒸着法によりEL層を形成する。シャドーマスクを用いて画素毎に波長の異なる発光が可能な発光層(赤色発光層、緑色発光層及び青色発光層)を形成することで、カラー表示が可能となる。その他にも、色変換層(CCM)とカラーフィルターを組み合わせた方式、白色発光

層とカラーフィルターを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光のEL表示装置とすることもできる。

【0320】EL層4029を形成したら、その上に陰極4030を形成する。陰極4030とEL層4029の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中でEL層4029と陰極4030を連続成膜するか、EL層4029を不活性雰囲気中で形成し、大気解放しないで陰極4030を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。

【0321】なお、本実施例では陰極4030として、LiF(フッ化リチウム)膜とAl(アルミニウム)膜の積層構造を用いる。具体的にはEL層4029上に蒸着法で1nm厚のLiF(フッ化リチウム)膜を形成し、その上に300nm厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMg/Ag電極を用いても良い。そして陰極4030は4031で示される領域において配線4016に接続される。配線4016は陰極4030に所定の電圧を与えるための電源供給線であり、導電性ペースト材料4032を介してFPC4017に接続される。

【0322】4031に示された領域において陰極4030と配線4016とを電気的に接続するために、層間絶縁膜4026及び絶縁膜4028にコンタクトホールを形成する必要がある。これらは層間絶縁膜4026のエッチング時(画素電極用コンタクトホールの形成時)や絶縁膜4028のエッチング時(EL層形成前の開口部の形成時)に形成しておけば良い。また、絶縁膜4028をエッチングする際に、層間絶縁膜4026まで一括でエッチングしても良い。この場合、層間絶縁膜4026と絶縁膜4028が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

【0323】このようにして形成されたEL素子の表面を覆って、パッシベーション膜6003、充填材6004、カバー材6000が形成される。

【0324】さらに、EL素子部を囲むようにして、カバー材6000と基板4010の内側にシーリング材が設けられ、さらにシーリング材7000の外側には密封材(第2のシーリング材)7001が形成される。

【0325】このとき、この充填材6004は、カバー材6000を接着するための接着剤としても機能する。充填材6004としては、PVC(ポリビニルクロライド)、エポキシ樹脂、シリコン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。この充填材6004の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0326】また、充填材6004の中にスパーサーを

含有させてもよい。このとき、スパーサーをBaOなどからなる粒状物質とし、スパーサー自体に吸湿性をもたせてもよい。

【0327】スパーサーを設けた場合、パッシベーション膜6003はスパーサー圧を緩和することができる。また、パッシベーション膜とは別に、スパーサー圧を緩和する樹脂膜などを設けてもよい。

【0328】また、カバー材6000としては、ガラス板、アルミニウム板、ステンレス板、FRP (Fiberglass-Reinforced Plastic) 板、PVF (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材6004としてPVBやEVAを用いる場合、数十 $\mu$ mのアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0329】但し、EL素子からの発光方向(光の放射方向)によっては、カバー材6000が透光性を有する必要がある。

【0330】また、配線4016はシーリング材7000および密封材7001と基板4010との隙間を通過してFPC4017に電気的に接続される。なお、ここでは配線4016について説明したが、他の配線4014、4015も同様にしてシーリング材7000および密封材7001の下を通過してFPC4017に電気的に接続される。

【0331】【実施例30】本実施例では、本願発明を用いて実施例29とは異なる形態のEL表示装置を作製した例について、図35(A)、図35(B)を用いて説明する。図34(A)、図34(B)と同じ番号のものとは同じ部分を指しているため説明は省略する。

【0332】図35(A)は本実施例のEL表示装置の上面図であり、図35(A)をAA'で切断した断面図を図35(B)に示す。

【0333】実施例29に従って、EL素子の表面を覆ってパッシベーション膜6003までを形成する。

【0334】さらに、EL素子を覆うようにして充填材6004を設ける。この充填材6004は、カバー材6000を接着するための接着剤としても機能する。充填材6004としては、PVC (ポリビニルクロライド)、エポキシ樹脂、シリコン樹脂、PVB (ポリビニルブチラル) またはEVA (エチレンビニルアセテート) を用いることができる。この充填材6004の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0335】また、充填材6004の中にスパーサーを含有させてもよい。このとき、スパーサーをBaOなどからなる粒状物質とし、スパーサー自体に吸湿性をもたせてもよい。

【0336】スパーサーを設けた場合、パッシベーション

膜6003はスパーサー圧を緩和することができる。また、パッシベーション膜とは別に、スパーサー圧を緩和する樹脂膜などを設けてもよい。

【0337】また、カバー材6000としては、ガラス板、アルミニウム板、ステンレス板、FRP (Fiberglass-Reinforced Plastic) 板、PVF (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材6004としてPVBやEVAを用いる場合、数十 $\mu$ mのアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0338】但し、EL素子からの発光方向(光の放射方向)によっては、カバー材6000が透光性を有する必要がある。

【0339】次に、充填材6004を用いてカバー材6000を接着した後、充填材6004の側面(露出面)を覆うようにフレーム材6001を取り付ける。フレーム材6001はシーリング材(接着剤として機能する)6002によって接着される。このとき、シーリング材6002としては、光硬化性樹脂を用いるのが好ましいが、EL層の耐熱性が許せば熱硬化性樹脂を用いても良い。なお、シーリング材6002はできるだけ水分や酸素を透過しない材料であることが望ましい。また、シーリング材6002の内部に乾燥剤を添加してあっても良い。

【0340】また、配線4016はシーリング材6002と基板4010との隙間を通過してFPC4017に電気的に接続される。なお、ここでは配線4016について説明したが、他の配線4014、4015も同様にしてシーリング材6002の下を通過してFPC4017に電気的に接続される。

【0341】【実施例31】本実施例ではEL表示パネルにおける画素部のさらに詳細な断面構造を図36に、上面構造を図37(A)に、回路図を図37(B)に示す。図36、図37(A)及び図37(B)では共通の符号を用いるので互いに参照すれば良い。

【0342】図36において、基板3501上に設けられたスイッチング用TFT3502は本願発明のNTFTを用いて形成される。本実施例ではダブルゲート構造としているが、構造及び作製プロセスに大きな違いはないので説明は省略する。但し、ダブルゲート構造とすることで実質的に二つのTFTが直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。また、本願発明のPTFTを用いて形成しても構わない。

【0343】また、電流制御用TFT3503は本願発

明のNTFTを用いて形成される。このとき、スイッチング用TFT3502のドレイン配線35は配線36によって電流制御用TFTのゲート電極37に電気的に接続されている。また、38で示される配線は、スイッチング用TFT3502のゲート電極39a、39bを電気的に接続するゲート配線である。

【0344】このとき、電流制御用TFT3503が本願発明の構造であることは非常に重要な意味を持つ。電流制御用TFTはEL素子を通る電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、電流制御用TFTのドレイン側に、第1不純物領域と第2不純物領域を設ける本願発明の構造は極めて有効である。

【0345】また、本実施例では電流制御用TFT3503をシングルゲート構造で図示しているが、複数のTFTを直列につなげたマルチゲート構造としても良い。さらに、複数のTFTを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0346】また、図37(A)に示すように、電流制御用TFT3503のゲート電極37となる配線は3504で示される領域で、電流制御用TFT3503のドレイン配線40と絶縁膜を介して重なる。このとき、3504で示される領域ではコンデンサが形成される。このコンデンサ3504は電流制御用TFT3503のゲートにかかる電圧を保持するためのコンデンサとして機能する。なお、ドレイン配線40は電流供給線（電源線）3506に接続され、常に一定の電圧が加えられている。

【0347】スイッチング用TFT3502及び電流制御用TFT3503の上には第1パッシベーション膜51が設けられ、その上に樹脂絶縁膜でなる平坦化膜52が形成される。平坦化膜52を用いてTFTによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成するように画素電極を形成する前に平坦化しておくことが望ましい。

【0348】また、53は反射性の高い導電膜でなる画素電極（EL素子の陰極）であり、電流制御用TFT3503のドレインに電気的に接続される。この場合においては、電流制御用TFTとしてnチャネル型TFTを用いることが好ましい。画素電極53としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0349】また、絶縁膜（好ましくは樹脂）で形成されたバンク54a、54bにより形成された溝（画素に相

当する）の中に発光層55が形成される。なお、ここでは画素しか図示していないが、R（赤）、G（緑）、B（青）の各色に対応した発光層を作り分けても良い。発光層とする有機EL材料としてはπ共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン（PPV）系、ポリビニルカルbazol（PVK）系、ポリフルオレン系などが挙げられる。

【0350】なお、PPV系有機EL材料としては様々な型のものがあるが、例えば H. Shenk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p. 33-37」や特開平10-92576号公報に記載されたような材料を用いれば良い。

【0351】具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は30～150nm（好ましくは40～100nm）とすれば良い。

【0352】但し、以上の例は発光層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。

【0353】例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【0354】本実施例では発光層55の上にPEDOT（ポリチオフェン）またはPANI（ポリアニリン）でなる正孔注入層56を設けた積層構造のEL層としている。そして、正孔注入層56の上には透明導電膜でなる陽極57が設けられる。本実施例の場合、発光層55で生成された光は上面側に向かって（TFTの上方に向かって）放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

【0355】陽極57まで形成された時点でEL素子3505が完成する。なお、ここでいうEL素子3505は、画素電極（陰極）53、発光層55、正孔注入層56及び陽極57で形成されたコンデンサを指す。図37(A)に示すように画素電極53は画素の面積にほぼ一致するため、画素全体がEL素子として機能する。従っ

て、発光の利用効率が非常に高く、明るい画像表示が可能となる。

【0356】ところで、本実施例では、陽極57の上にさらに第2パッシベーション膜58を設けている。第2パッシベーション膜58としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部とEL素子とを遮断することであり、有機EL材料の酸化による劣化を防ぐ意味と、有機EL材料からの脱ガスを抑える意味との両方を併せ持つ。これによりEL表示装置の信頼性が高められる。

【0357】以上のように本願発明のEL表示パネルは図36のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用TFTと、ホットキャリア注入に強い電流制御用TFTとを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能なEL表示パネルが得られる。

【0358】また、実施例27の電子機器の表示部として本実施例のEL表示装置を用いることは有効である。

【0359】〔実施例32〕本実施例では、実施例31に示した画素部において、EL素子3505の構造を反転させた構造について説明する。説明には図38を用いる。なお、図36の構造と異なる点はEL素子の部分と電流制御用TFTだけであるので、その他の説明は省略することとする。

【0360】図38において、電流制御用TFT3603は本願発明のPTFTを用いて形成される。

【0361】本実施例では、画素電極（陽極）60として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

【0362】そして、絶縁膜でなるハルク61a、61bが形成された後、溶液塗布によりポリビニルカルバゾールでなる発光層62が形成される。その上にはカリウムアセチルアセトネート（acacKと表記される）でなる電子注入層63、アルミニウム合金でなる陰極64が形成される。この場合、陰極64がパッシベーション膜としても機能する。こうしてEL素子3605が形成される。

【0363】本実施例の場合、発光層62で発生した光は、矢印で示されるようにTFTが形成された基板の方に向かって放射される。

【0364】また、実施例27の電子機器の表示部として本実施例のEL表示装置を用いることは有効である。

【0365】〔実施例33〕本実施例では、図37（B）に示した回路図とは異なる構造の画素とした場合の例について図39（A）～（C）に示す。なお、本実施例において、3801はスイッチング用TFT3802のソース配線、3803はスイッチング用TFT3802のゲート配線、3804は電流制御用TFT、38

05はコンデンサ、3806、3808は電流供給線、3807はEL素子とする。

【0366】図39（A）は、二つの画素間で電流供給線3806を共通とした場合の例である。即ち、二つの画素が電流供給線3806を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0367】また、図39（B）は、電流供給線3808をゲート配線3803と平行に設けた場合の例である。なお、図39（B）では電流供給線3808とゲート配線3803とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線3808とゲート配線3803とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0368】また、図39（C）は、図39（B）の構造と同様に電流供給線3808をゲート配線3803と平行に設け、さらに、二つの画素を電流供給線3808を中心に線対称となるように形成する点に特徴がある。また、電流供給線3808をゲート配線3803のいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0369】なお、本実施例の構成は、実施例29または30の構成と自由に組み合わせる実施することが可能である。また、実施例27の電子機器の表示部として本実施例の画素構造を有するEL表示装置を用いることは有効である。

【0370】〔実施例34〕実施例31に示した図37（A）、図37（B）では電流制御用TFT3503のゲートにかかる電圧を保持するためにコンデンサ3504を設ける構造としているが、コンデンサ3504を省略することも可能である。実施例31の場合、電流制御用TFT3503として本願発明のNTFTを用いているため、ゲート絶縁膜を介してシリコンからなるサイドウォールに重なるように設けられた第1不純物領域を有している。この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成されるが、本実施例ではこの寄生容量をコンデンサ3504の代わりとして積極的に用いる点に特徴がある。

【0371】この寄生容量のキャパシタンスは、上記ゲート電極と第1不純物領域とが重なり合った面積によって変化するため、その重なり合った領域に含まれる第1不純物領域の長さによって決まる。

【0372】また、実施例33に示した図39（A）～（C）の構造においても同様に、コンデンサ3805を省略することは可能である。

【0373】なお、本実施例の構成は、実施例29～3

3の構成と自由に組み合わせて実施することが可能である。また、実施例27の電子機器の表示部として本実施例の画素構造を有するEL表示装置を用いることは有効である。

#### 【0374】

【発明の効果】本願発明を実施することで、NTFTの信頼性を高めることが可能となった。従って、厳しい信頼性が要求される高い電気特性（特に高いモビリティ）を有するNTFTの信頼性を確保することが可能となった。また同時に、特性バランスに優れたNTFTとPTFTとを組み合わせてCMOS回路を形成することで、信頼性が高く且つ優れた電気特性を示す半導体回路を形成できた。

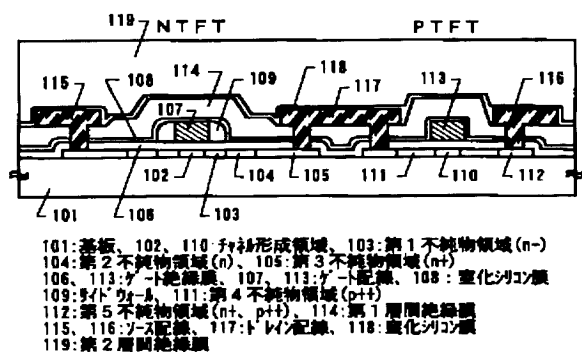
【0375】さらに、本願発明では半導体の結晶化に用いた触媒元素を低減することができるため、不安定要因の少ない半導体装置を実現できる。しかも触媒元素を低減する工程はソース領域及びドレイン領域の形成及び活性化と同時に進められるため、スループットを低下させるようなこともない。

【0376】また、以上のようにTFTで組む回路の信頼性を高めることで電気光学装置、半導体回路、さらには電子機器をも含む全ての半導体装置の信頼性を確保することが可能となった。

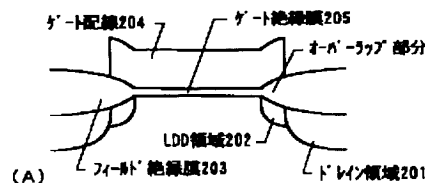
#### 【図面の簡単な説明】

- 【図1】 CMOS回路の断面を示す図。
- 【図2】 MOSFETの断面構造を示す図。
- 【図3】 CMOS回路の作製工程を示す図。
- 【図4】 CMOS回路の作製工程を示す図。
- 【図5】 ポリシリコン膜の作製工程を示す図。
- 【図6】 ポリシリコン膜の作製工程を示す図。
- 【図7】 ポリシリコン膜の作製工程を示す図。
- 【図8】 CMOS回路の作製工程を示す図。
- 【図9】 CMOS回路の作製工程を示す図。

【図1】

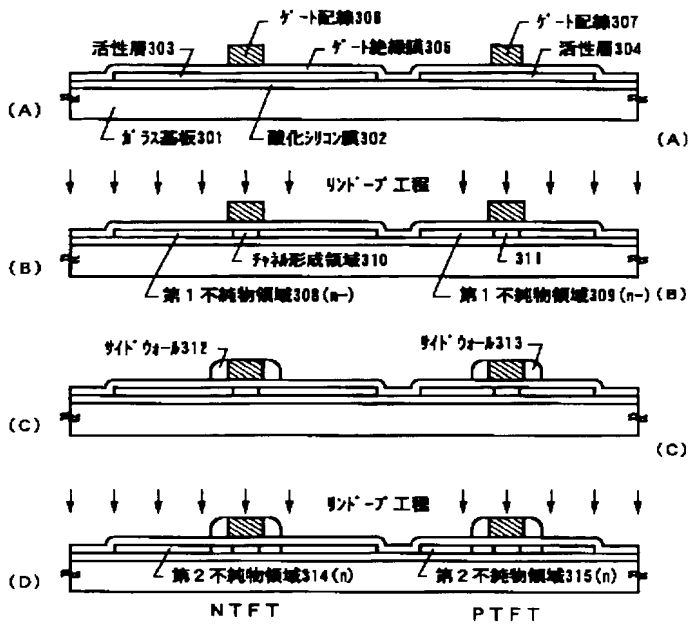


【図2】

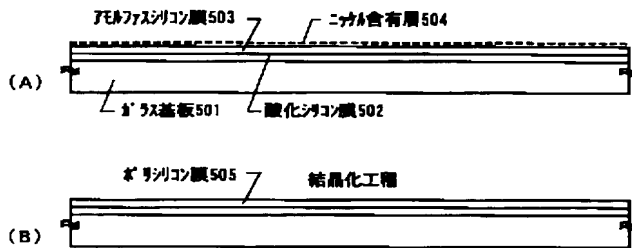


- 【図10】 CMOS回路の作製工程を示す図。
- 【図11】 CMOS回路を上面からみた図。
- 【図12】 画素マトリクス回路の構造を示す図。
- 【図13】 画素マトリクス回路の構造を示す図。
- 【図14】 画素マトリクス回路の構造を示す図。
- 【図15】 画素マトリクス回路の構造を示す図。
- 【図16】 CMOS回路の断面を示す図。
- 【図17】 CMOS回路の作製工程を示す図。
- 【図18】 CMOS回路の作製工程を示す図。
- 【図19】 CMOS回路の作製工程を示す図。
- 【図20】 CMOS回路の作製工程を示す図。
- 【図21】 CMOS回路の作製工程を示す図。
- 【図22】 CMOS回路の作製工程を示す図。
- 【図23】 CMOS回路の作製工程を示す図。
- 【図24】 CMOS回路の作製工程を示す図。
- 【図25】 画素マトリクス回路の構造を示す図。
- 【図26】 画素マトリクス回路の構造を示す図。
- 【図27】 画素マトリクス回路の構造を示す図。
- 【図28】 画素マトリクス回路の構造を示す図。
- 【図29】 電気光学装置の外観を示す図。
- 【図30】 電子機器の一例を示す図。
- 【図31】 電子機器の一例を示す図。
- 【図32】 各種TFT構造を比較するための図。
- 【図33】 NTFT（オフ状態）のエネルギーバンドを示す図。
- 【図34】 EL表示装置を示す図。
- 【図35】 EL表示装置を示す図。
- 【図36】 EL表示装置の断面構造を示す図。
- 【図37】 EL表示装置の上面図および回路図を示す図。
- 【図38】 EL表示装置の断面構造を示す図。
- 【図39】 EL表示装置の回路図を示す図。

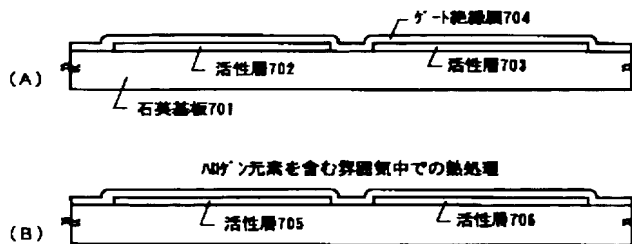
【図3】



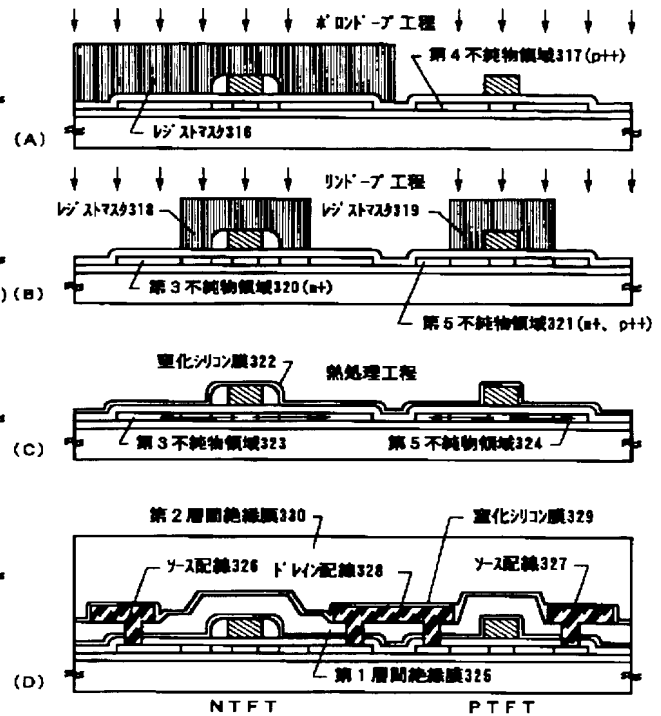
【図5】



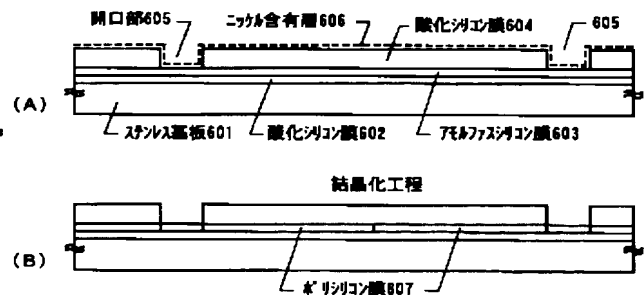
【図7】



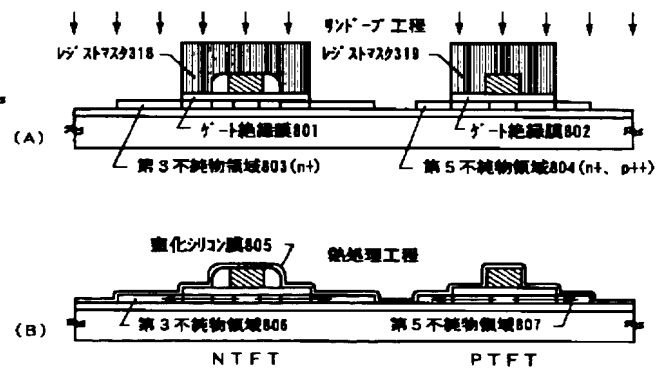
【図4】



【図6】

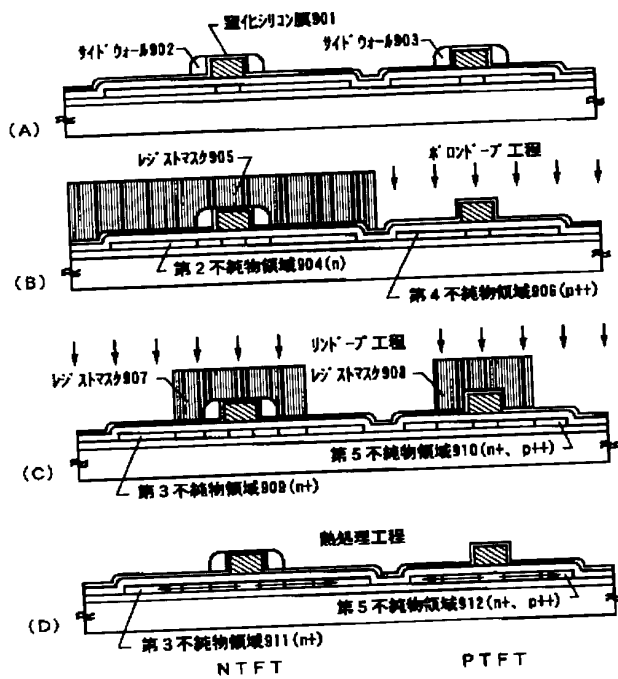


【図8】

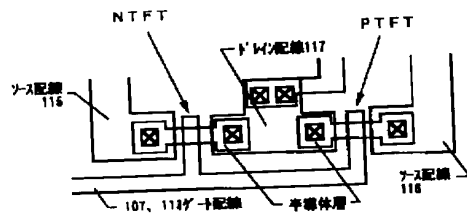




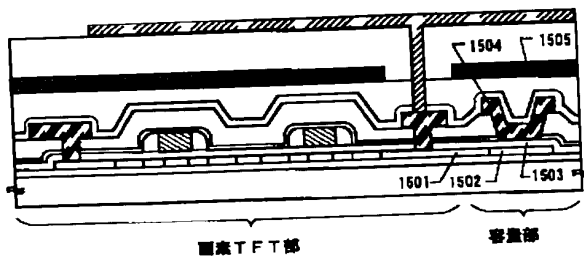
【図9】



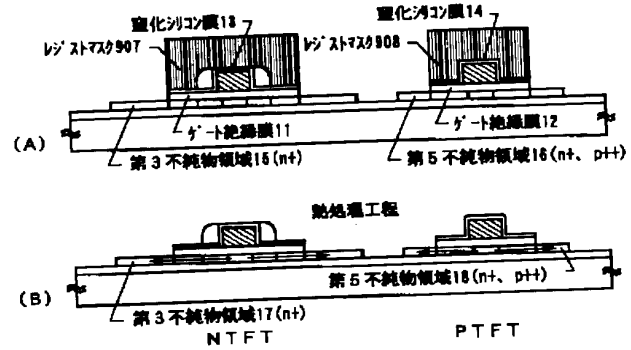
【図11】



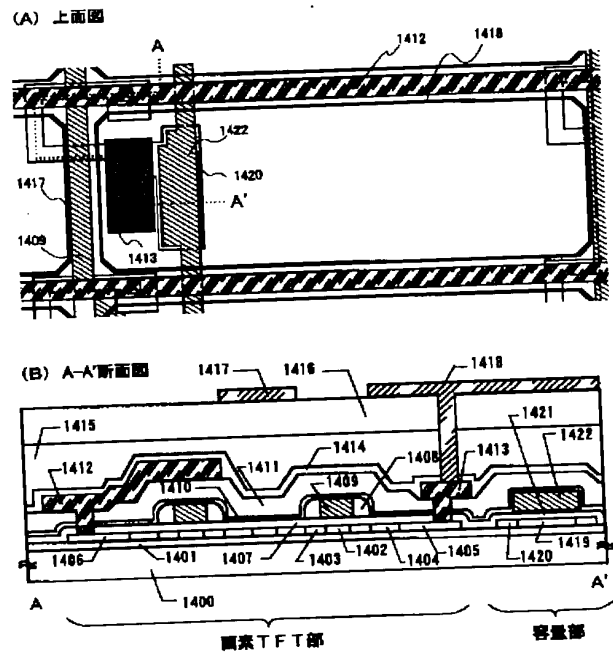
【図13】



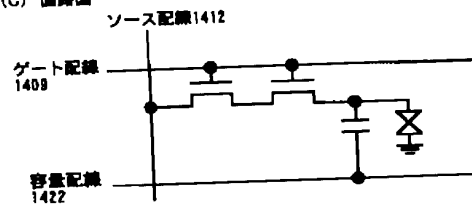
【図10】



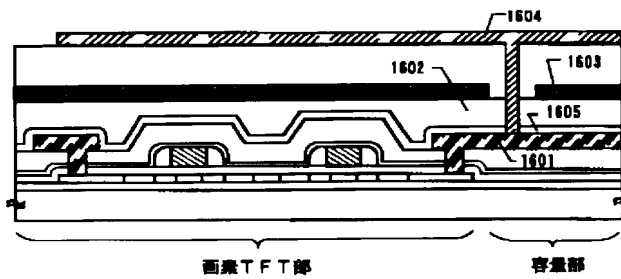
【図12】



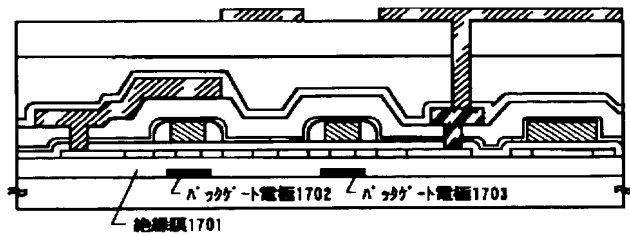
(C) 回路図



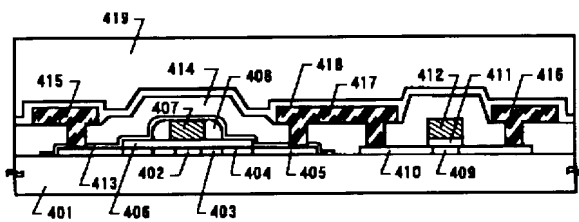
【図14】



【図15】

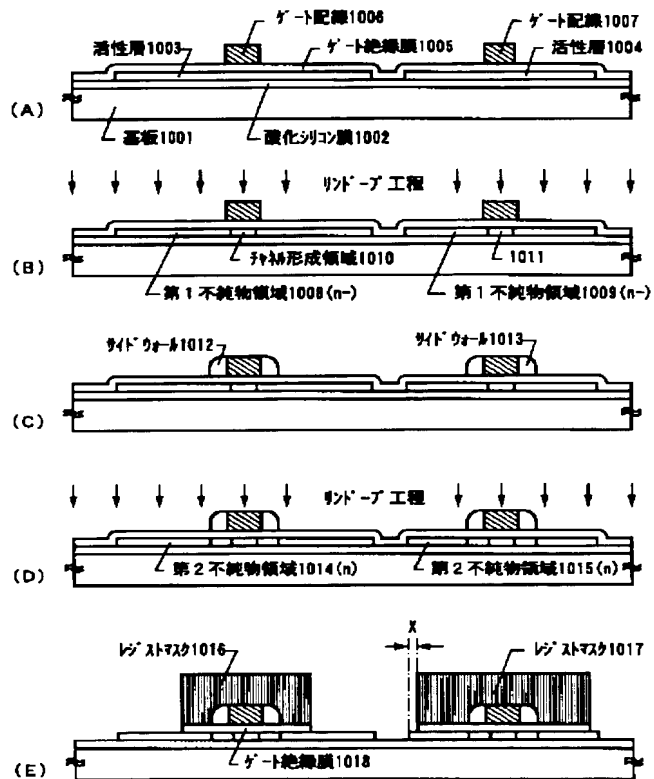


【図16】

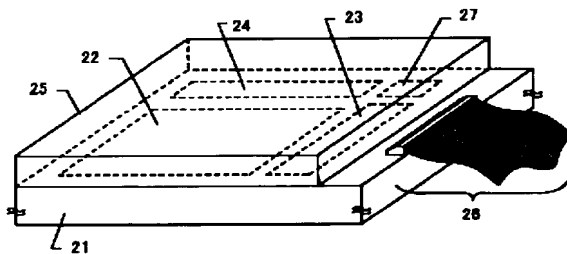


401:基板、402、409:チャネル形成領域、403:第1不純物領域(n)  
404:第2不純物領域(n)、405:第3不純物領域(n)  
406:第1ゲート絶縁膜、407、412:ゲート配線、408:サイドウォール  
410:第4不純物領域(p++)、413:保護膜、414:第1層間絶縁膜  
415、416:ゲート配線、417:トランジスタ配線、418:酸化シリコン膜  
419:第2層間絶縁膜

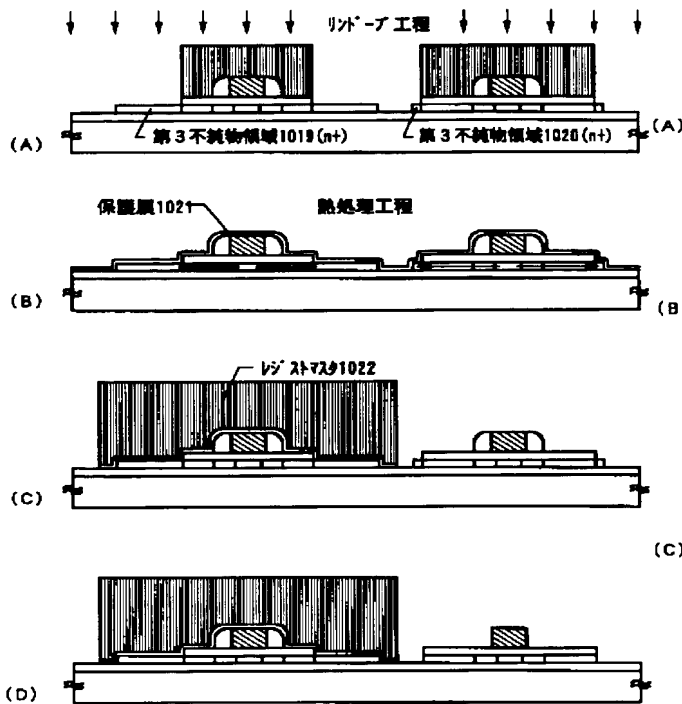
【図17】



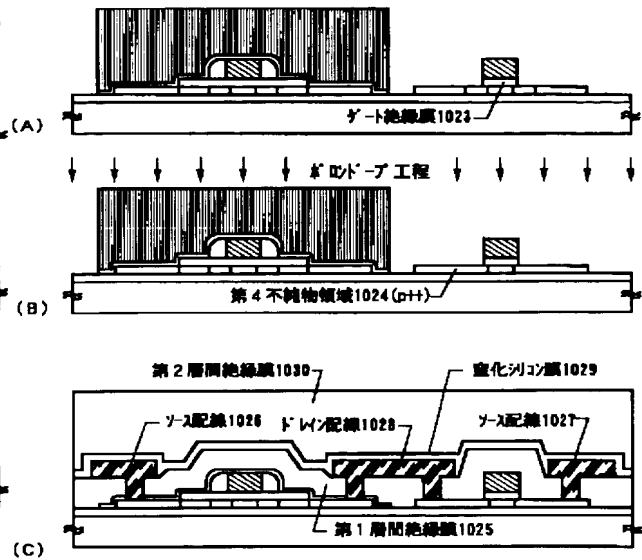
【図29】



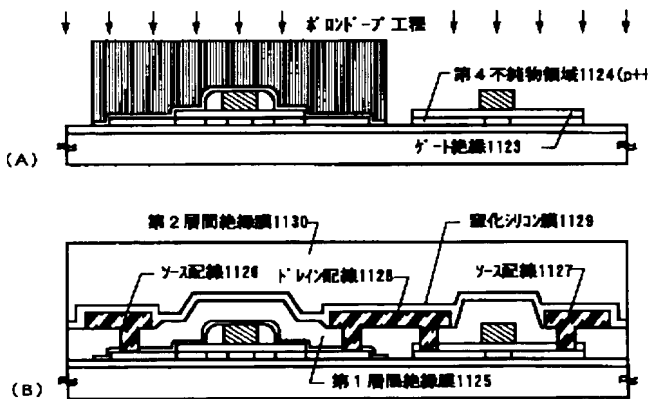
【図18】



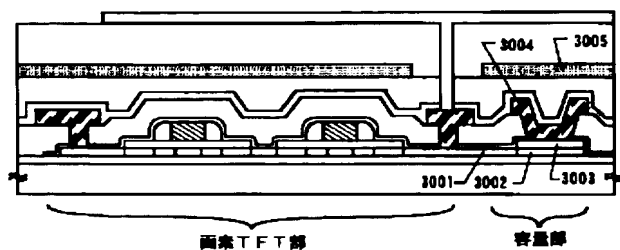
【図19】



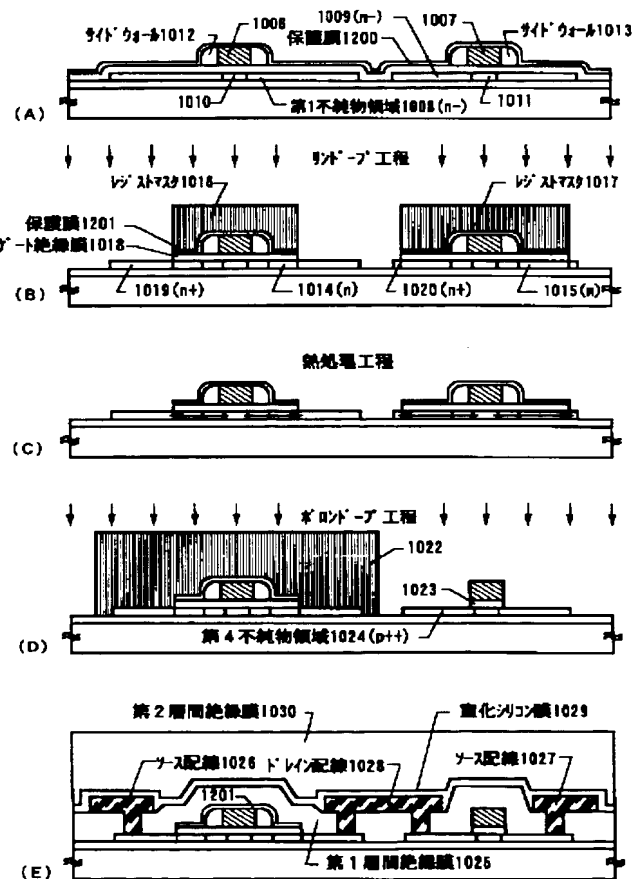
【図20】



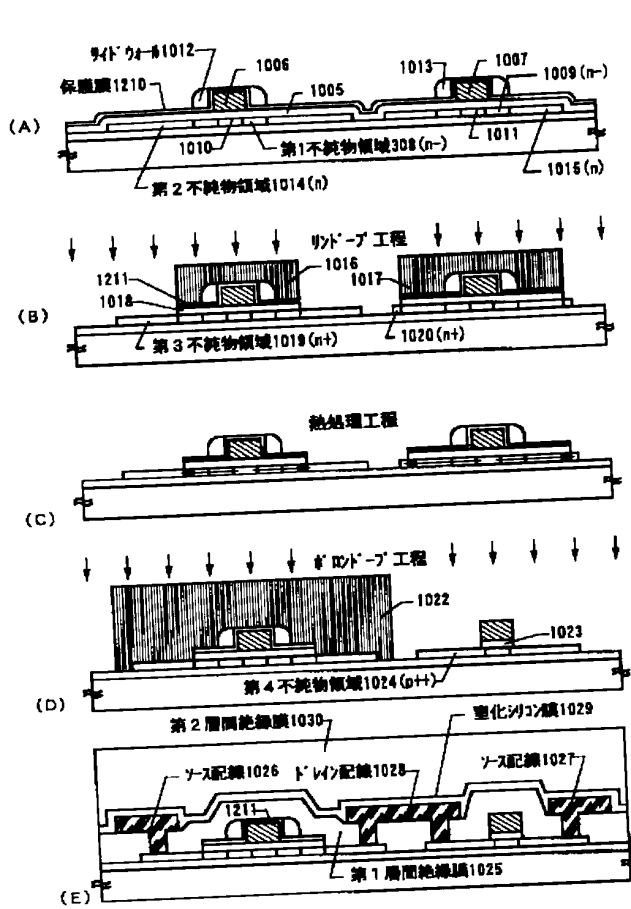
【図26】



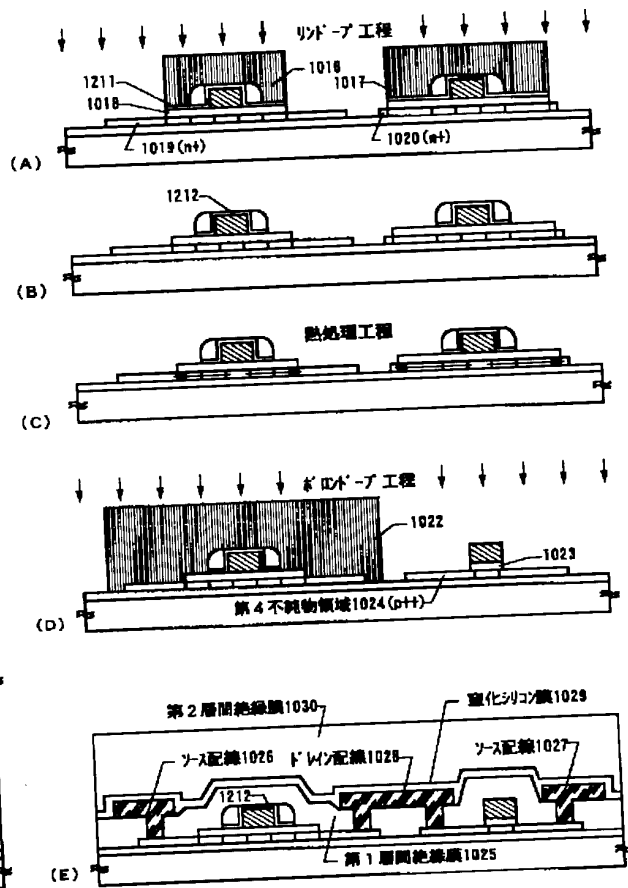
【図21】



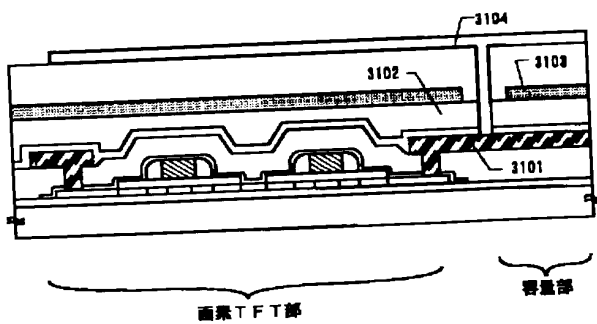
【図22】



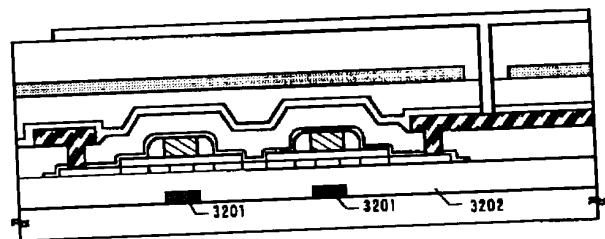
【図23】



【図27】

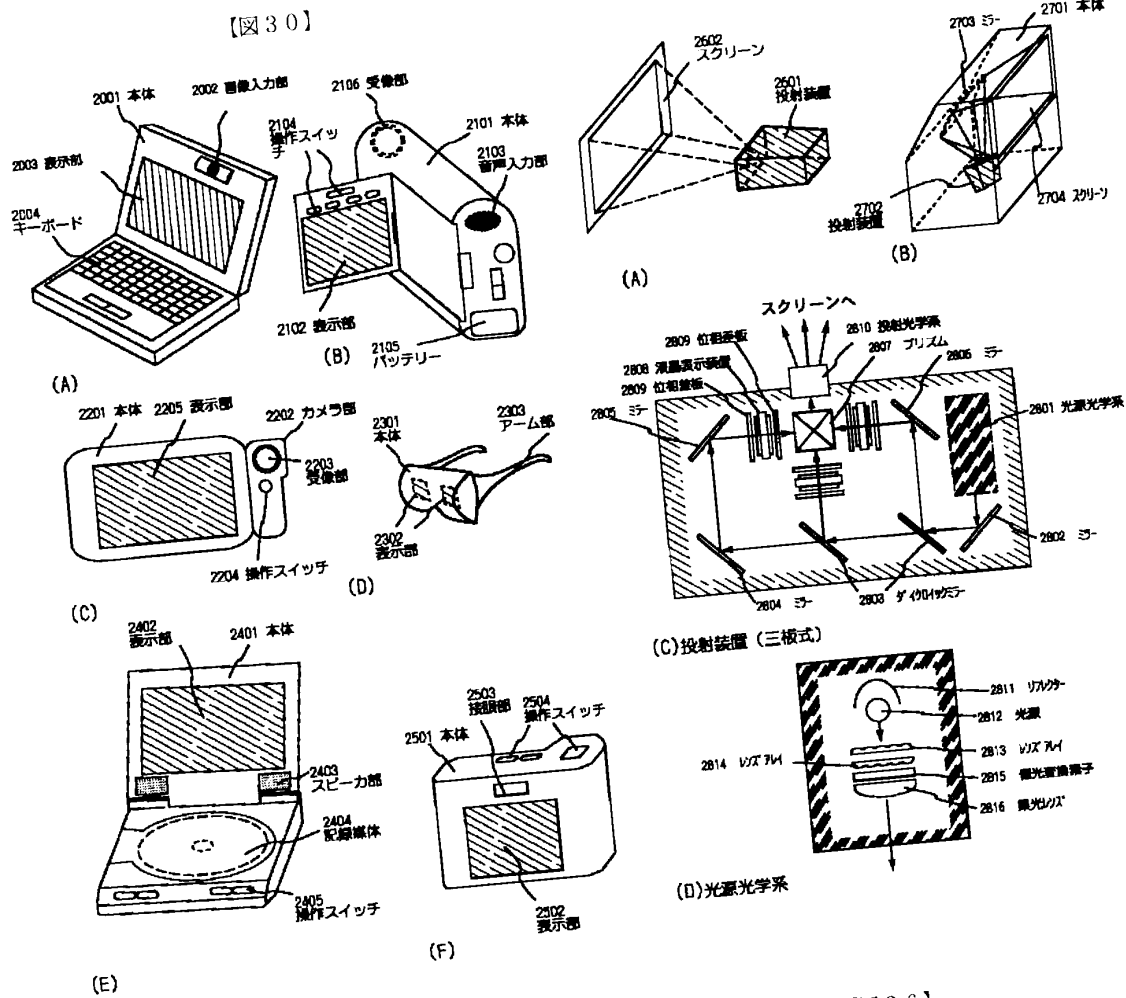


【図28】

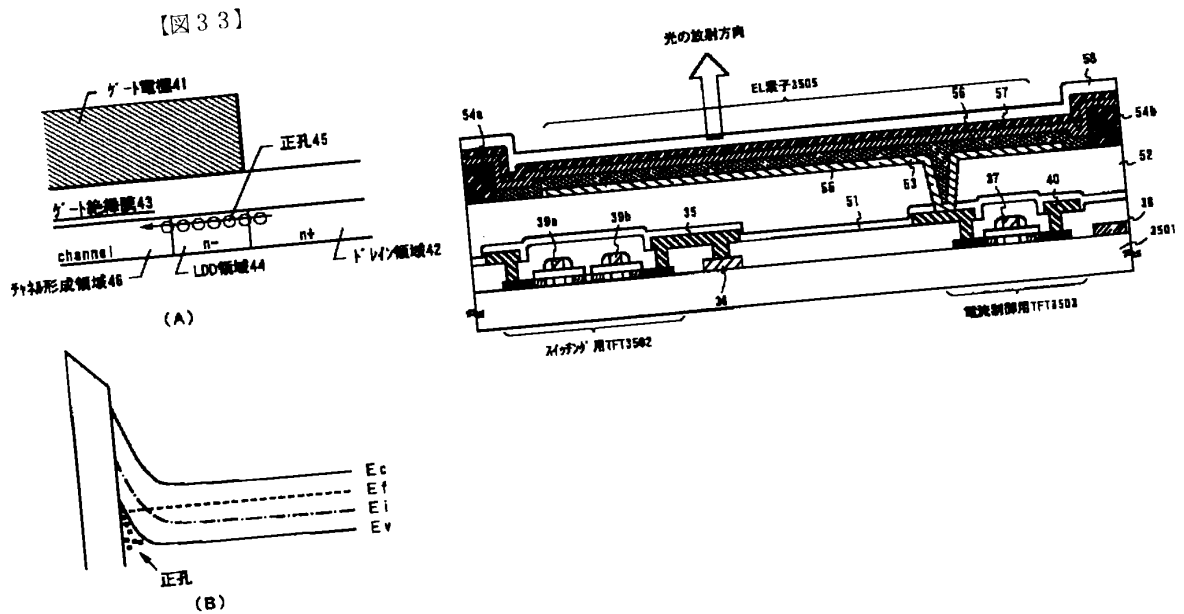


(35)

【図31】

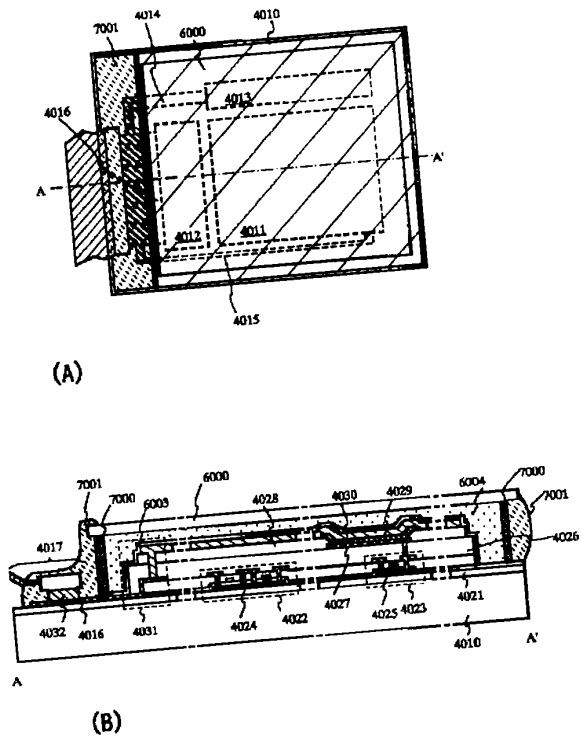
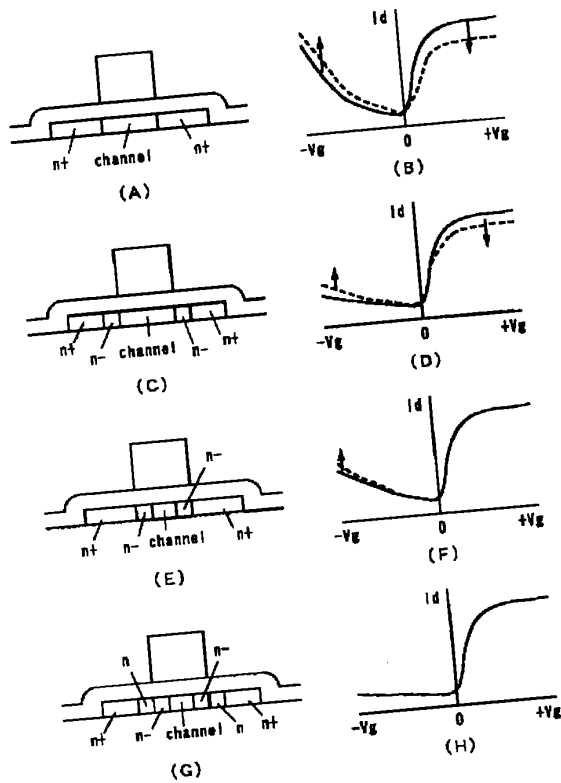


【図36】

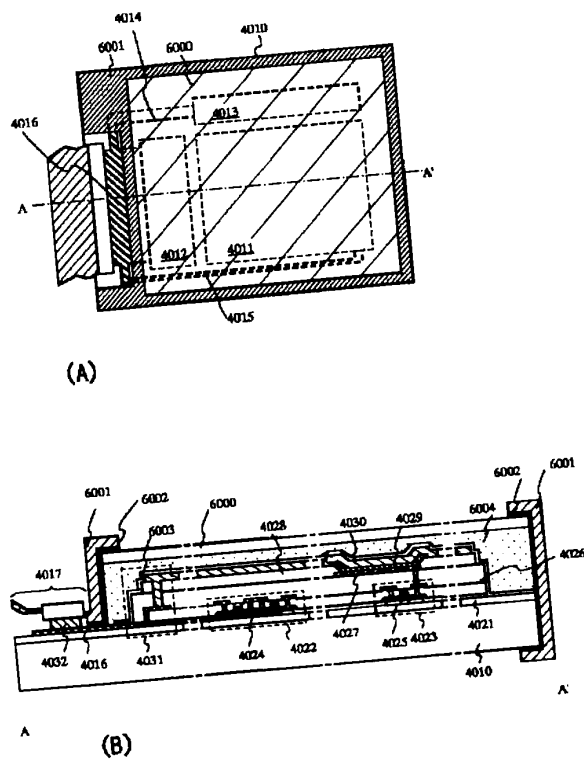


【図34】

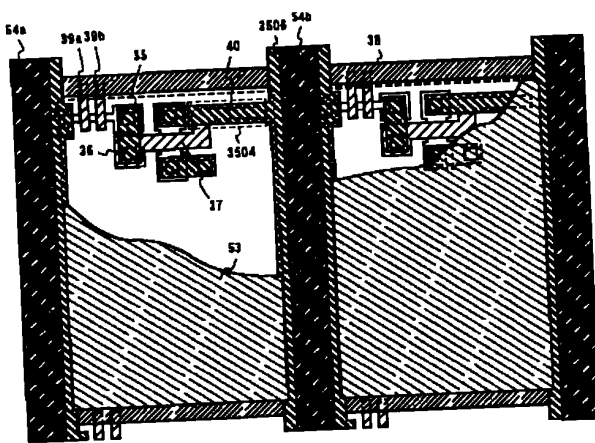
【図32】



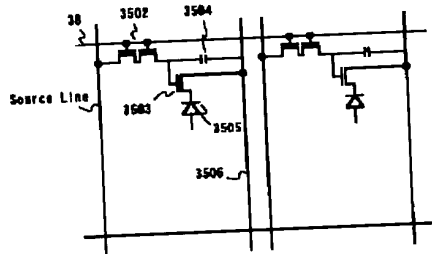
【図35】



【図37】

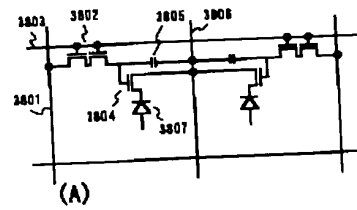


(A)

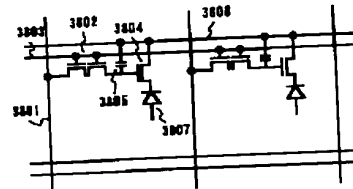


(B)

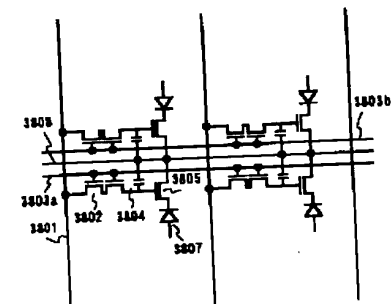
【図39】



(A)



(B)



(C)

【図38】

